

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186164

(43) 公開日 平成11年(1999) 7月9日

(51) Int. Cl.<sup>8</sup>H 0 1 L 21/20  
29/78  
21/336

識別記号

F I

H 0 1 L 21/20  
29/78

6 2 7 G

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21) 出願番号

特願平9-351727

(22) 出願日

平成9年(1997)12月19日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 守口 正生

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 本橋 宗之

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 弁理士 山本 秀策

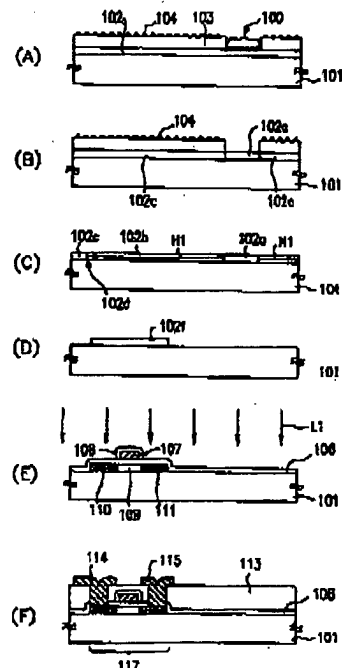
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 結晶性向上のための第2の加熱処理において、触媒元素の再拡散を防止することができ、結晶性ケイ素膜において微小な穴が発生する等の問題を解消することが可能で、非常に高性能で高信頼性を有する半導体装置を歩留まりよく作製できる半導体装置の製造方法を提供する。

【解決手段】 絶縁性基板101の上に非晶質ケイ素薄膜102を形成し、かつ、この非晶質ケイ素膜102に、その結晶化を助長する触媒元素104を選択的に導入する第1の工程と、第1の加熱処理を行い、非晶質ケイ素膜102を触媒元素104が導入された領域からその周辺領域へと、横方向に結晶成長を行わせる第2の工程と、触媒元素104が局在している特定のケイ素膜領域102a、102d等を除去する第3の工程と、第2の加熱処理を行い、第3の工程で残された結晶性ケイ素膜領域102fの結晶性を向上させる第4の工程とを包含する。



## 【特許請求の範囲】

【請求項1】 絶縁性基板の上に非晶質ケイ素薄膜を形成し、かつ、該非晶質ケイ素膜に、その結晶化を助長する触媒元素を選択的に導入する第1の工程と、第1の加熱処理を行い、該非晶質ケイ素膜を該触媒元素が導入された領域からその周辺領域へと、横方向に結晶成長を行わせる第2の工程と、該触媒元素が局在している特定のケイ素膜領域を除去する第3の工程と、

第2の加熱処理を行い、該第3の工程で残された結晶性ケイ素膜領域の結晶性を向上させる第4の工程とを包含する半導体装置の製造方法。

【請求項2】 前記第3の工程において除去する前記ケイ素膜領域が、少なくとも、前記第1の工程で前記触媒元素が導入された領域と、前記第2の工程で前記結晶成長により形成された結晶成長境界部である請求項1記載の半導体装置の製造方法。

【請求項3】 前記第3の工程において残すケイ素膜領域が、半導体素子領域である請求項1又は請求項2記載の半導体装置の製造方法。

【請求項4】 前記第3の工程は、エッチングにより行い、このエッチングによって、該当するケイ素膜部分と、その部分に含まれる前記触媒元素及び該触媒元素のシリサイド化合物を除去する請求項1～請求項3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記第1の工程における前記触媒元素を選択的に導入する工程は、前記非晶質ケイ素膜における前記触媒元素を導入しない領域に対応する位置にマスクを形成して行う請求項1～請求項4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記第1の工程における前記触媒元素を選択的に導入する工程は、フォトレジストをマスクとして、スパッタリング法又は真空蒸着法で、前記非晶質ケイ素膜の表面に前記触媒元素を薄膜状に堆積した後に、該フォトレジストを剥離して、該マスク上の該触媒元素をリフトオフすることにより行う請求項1～請求項4のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記第1の工程における前記触媒元素を選択的に導入する工程は、酸化ケイ素膜又は窒化ケイ素膜をマスクとして、前記触媒元素を溶かし込んだ溶液を前記非晶質ケイ素膜の表面に塗布し乾燥させた後、プレアニール処理をして、該酸化ケイ素膜又は該窒化ケイ素膜のマスクを除去することにより行う請求項1～請求項4のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記第2の加熱処理の温度を、前記第1の加熱処理の温度よりも高くする請求項1～請求項7のいずれかに記載の半導体装置の製造方法。

【請求項9】 前記第2の加熱処理は、ハロゲン化合物を含む酸化雰囲気下にて行う請求項1～請求項8のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記第2の工程において、

前記非晶質ケイ素膜を前記触媒元素が導入された領域からその周辺領域へと結晶成長させる方向と、半導体装置におけるキャリアの移動方向とを略平行とする請求項1～請求項9のいずれかに記載の半導体装置の製造方法。

【請求項11】 前記触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al及びSbの中の一種類又は複数種類の元素を用いる請求項1～請求項10のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、詳しくは、非晶質ケイ素膜を結晶化した結晶性ケイ素膜を活性領域とする半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、大型で高解像度の液晶表示装置、高速で高解像度の密着型イメージセンサー、三次元ICなどの実現に向けて、ガラス等の絶縁基板上や、絶縁膜上に高性能な半導体素子を形成する試みがなされている。これらの装置に用いられる半導体素子には、薄膜状のケイ素半導体を用いるのが一般的である。薄膜状のケイ素半導体としては、非晶質ケイ素半導体(a-Si)からなるものと結晶性を有するケイ素半導体からなるものの2つに大別される。

【0003】非晶質ケイ素半導体は、作製温度が低く気相法で比較的容易に作製することができ量産性に富むことから、最も一般的に用いられている。しかしながら、導電性等の物性が結晶性を有するケイ素半導体に比べて劣るため、今後より一層の高速特性を得るためには、結晶性を有するケイ素半導体からなる半導体装置の作製方法の確立が強く求められていた。尚、結晶性を有するケイ素半導体としては、多結晶ケイ素、微結晶ケイ素、結晶成分を含む非晶質ケイ素、結晶性と非晶質性の中間の状態を有するセミアモルファスケイ素等が知られている。

【0004】これら結晶性を有する薄膜状のケイ素半導体を得る従来の方法としては、以下の方法が知られている。

【0005】(1)成膜時に結晶性を有する膜を直接成膜する。

【0006】(2)非晶質の半導体膜を成膜しておき、レーザー光のエネルギーにより結晶性を有せしめる。

【0007】(3)非晶質の半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有せしめる。

【0008】しかしながら、(1)の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素を得るにはケイ素膜の厚膜化が不可欠であり、良好な半導体物性を有する膜を基板上に全面に渡って均一に成膜することが技術上困難である。

【0009】また、(2)の方法では、溶融固化過程の結晶化現象を利用するため、小粒径ながら粒界が良好に処理され、高品質な結晶性ケイ素膜が得られるが、現在最も一般的に使用されているエキシマレーザーを例にとると、未だ十分な安定性のあるものが得られていない。従って、大面積基板の全面を均一に処理するのは困難であり、ハード面でのさらなる技術向上が望まれる。

【0010】また、(3)の方法は、(1)及び(2)の方法と比較すると基板内の均一性、安定性においては有利であり、石英基板を用いた超小型高精細液晶パネルなどに使用されている。但し、この場合には600℃で30時間程の長時間にわたる加熱処理により結晶成長させた後、さらに高温、例えば1000℃程度にて数十分から数時間にわたって結晶性を向上させるための熱処理を行っている。即ち、処理時間が長く、スループットが低いという問題点があり、素子特性としてもTFT(薄膜トランジスタ)において電界効果移動度 $100\text{ cm}^2/\text{Vs}$ 程度の特性しか得られていない。

【0011】これらの方法に対して、上記(3)の方法を改善し、高品質な結晶性ケイ素膜を得る方法が特開平7-94757公報及び特開平9-148245公報で提案されている。これらの方法では、非晶質ケイ素膜の結晶化を助長する触媒元素を利用することで、加熱温度の低温化及び処理時間の短縮、そして結晶性の向上を図っている。

【0012】具体的には、非晶質ケイ素膜の表面にニッケルやパラジウム等の金属元素を微量に導入させ、しかる後に加熱を行うものである。この低温結晶化のメカニズムは、まず金属元素を核とした結晶核発生が早期に起こり、その後その金属元素が触媒となって結晶成長を助長し、結晶化が急激に進行することで理解される。そういった意味で以後これらの金属元素を触媒元素と呼ぶ。これらの触媒元素により結晶化が助長されて結晶成長した結晶性ケイ素膜は、通常の固相成長法で結晶化した結晶性ケイ素膜の一つの粒内が双晶構造であるのに対して、その粒内は何本もの柱状結晶ネットワークで構成されており、それぞれの柱状結晶内部はほぼ理想的な単結晶状態となっている。

【0013】さらに上記公報では、非晶質ケイ素膜の一部に選択的に触媒元素を導入し加熱することで、他の部分を非晶質ケイ素膜の状態として残したまま、選択的に触媒元素が導入された領域のみを結晶化し、そして、さらに加熱時間を延長することで、その導入領域から横方向(基板と平行な方向)に結晶成長を行わせている。この横方向の結晶成長領域の内部では、成長方向がほぼ一方に揃った柱状結晶がひしめき合っており、触媒元素が直接導入されランダムに結晶核の発生が起こった領域に比べて、結晶性がさらに良好な領域となっている。よって、この横方向の結晶成長領域の結晶性ケイ素膜を半導体装置の活性領域に用いることにより、半導体装置の

高性能化を図ることができる。

【0014】特開平7-94757公報では、このような高品質な結晶性ケイ素膜に対して、さらに塩化物気体又はフッ化物気体を含む雰囲気中において、レーザー光などの強光を照射して、さらにその結晶性を向上させ、高性能半導体素子を作製している。また、特開平9-148245公報では、上記高品質結晶性ケイ素膜に、結晶化アニール温度よりもさらに高温での第2の加熱処理を施し、その結晶性をさらに向上させた後、半導体素子領域として用いている。

【0015】

【発明が解決しようとする課題】しかしながら、上記従来の触媒元素を用いたケイ素膜の結晶化方法は、結晶性ケイ素膜の膜質と不純物に関する問題が残されている。

【0016】膜質に関しては、本発明者らが行った実験から、個々の柱状結晶の結晶性は良好であるが、全体としてはかなり高密度の結晶欠陥(転位)を含んでいることがわかっている。従って、半導体装置の活性領域がおおよそ一つの結晶方位で形成されるために、比較的高い移動度が得られる一方、欠陥密度が高いため閾値電圧やリーク電流は下がりにくい結果となる。

【0017】実際に、触媒元素を使用して結晶化した結晶性ケイ素膜を用い、Nチャネル型TFTを作製した場合には、電界効果移動度が $60\text{ cm}^2/\text{Vs} \sim 80\text{ cm}^2/\text{Vs}$ 程度のものが得られている。しかしながら、この値は、従来の触媒元素を用いない固相成長によるケイ素膜に比べて2倍程度は向上しているが、薄膜集積回路などへの応用を考えると未だ十分な値でない。

【0018】不純物に関しては、触媒元素そのものが問題となる。即ち、上記のような触媒元素は、非晶質ケイ素膜の結晶化には大きく貢献するが、その後、主に結晶粒界に偏在し結晶性ケイ素膜中に残留する。半導体装置の活性領域(半導体素子領域)を構成する結晶性ケイ素膜中にこれら触媒元素が多量に存在していることは、これら半導体を用いた装置の信頼性や電氣的安定性を阻害するものであり、もちろん好ましいことではない。

【0019】特に、ニッケルやパラジウムなどの非晶質ケイ素膜の結晶化を促す触媒として効率よく作用する元素は、ケイ素中においてバンドギャップ中央付近に不純物準位を形成する。従って、これら触媒元素により結晶化したケイ素膜を用いTFTを作製すると、その影響として、主にTFTオフ動作時におけるリーク電流の増大、信頼性の低下などの現象が現れる。即ち、上記触媒元素は、そのTFT素子において、チャネル領域の結晶性を向上させるため、電界効果移動度、オン電流及びオン電流の立ち上がり係数(S係数)などの電流駆動能力は向上させるが、その代償として、オフ特性及び信頼性を悪化させるわけである。

【0020】これらの問題点を解決する方法が、前記の特開平7-94757公報及び特開平9-148245

公報において提案されている。

【0021】特開平7-94757公報では、触媒元素を用いて結晶化された結晶性ケイ素膜に対して、レーザー光などの強光を照射することにより、その結晶性をさらに向上させて、上記膜質が十分でないという問題の解決を図っている。

【0022】しかしながら、このような場合には、従来レーザーアニール技術が抱えている均一性、安定性の問題が加わることになる。即ち、固相結晶化のメリットである良好な膜質均一性が損なわれる結果となり、目的とする高性能な半導体装置を実現することはできない。

【0023】触媒元素の問題については、塩化物気体又はフッ化物気体を含む雰囲気中でレーザー光照射を行い、触媒元素を塩化物又はフッ化物としてゲッターリング除去するとしている。しかしながら、本発明者らが同様の方法により実際に実験した結果、このような瞬時のレーザーアニールにおいては、ほとんどゲッターリング効果は得られず、ケイ素膜中の触媒元素濃度を大きく低減することができないことが確認された。

【0024】それに対して、特開平9-148245公報には、触媒元素を用いた結晶化アニールの後、さらに高い温度で加熱処理することによりその結晶性を向上させる方法が開示されている。本発明者らの実験からもこの方法により非常に高品質な結晶性ケイ素膜が得られることが確認されており、この方法により実際に電界効果移動度 $300\text{ cm}^2/\text{Vs}$ を超える超高性能なTFT素子を作製している。また、第2の加熱処理をHClなどの酸化雰囲気下で行うことで、結晶性向上に加えてケイ素膜中の触媒元素を効率的にゲッターリング除去できる。従って、この方法は、高性能な薄膜半導体装置の製造方法として非常に有効である。

【0025】しかしながら、この方法においてTFTの量産試作を行う上で新たな問題が発生した。新たな問題とは、ケイ素膜における微小な穴の発生である。実際には、図7の写真に示すように、ケイ素膜が無くなってしまっている部分に穴509が発生する。当初、本発明者らは、ケイ素膜中の触媒元素がゲッターリングされる限り、触媒元素が抜けたことによって、ケイ素膜に穴509が生じると予め予想し、穴509の位置の制御を試みたが、予想していない領域、即ち素子形成領域においても穴509の発生が見られた。

【0026】ここで、上記の問題について図5を用いて詳しく説明する。図5(A)に触媒元素の選択添加による固相結晶成長後の概略平面図を、図5(B)に問題となる第2の加熱処理後の概略平面図を示す。

【0027】図5(A)において、領域501、502で示されるのが触媒元素の導入領域である。この領域に選択導入された触媒元素は、領域501、502をまず結晶化し、その周辺部へと結晶成長を引き起こす。その結果、領域503、504の結晶成長が行われる。この

とき、領域501、502では、導入された触媒元素によるランダムな核発生による結晶成長であるのに対し、領域503、504では、H3の方向に結晶成長が行われ、成長方向が縦一次元に揃っている。結晶成長が及んでいない領域505は非晶質ケイ素状態のまま残っている。

【0028】触媒元素は、結晶成長のメカニズム上、結晶成長の先端、即ち結晶化領域と非晶質領域の境界に立って移動し、その先の非晶質ケイ素膜を次々に結晶化していく。従って、触媒元素が偏在する位置としては、結晶成長がぶつかりあった結晶粒界と、結晶成長の先端である。即ち、図5(A)において、ランダムに核発生が起こり、結晶粒がぶつかり合っている触媒元素の導入領域501、502内と、横方向の結晶成長領域(横成長領域)503と504との境界507、並びに横成長領域503及び504と非晶質領域505との境界508の3つの領域に触媒元素が偏在する。従って、半導体素子領域は、横成長領域503、504を用い、例えば領域510のような配置にて形成する。

【0029】ところが、第2の加熱処理後には、図5(B)に示すように、膜全面においてほぼ均一な密度で微小な穴509の存在が見られた。即ち、半導体素子領域510として利用するべき横成長領域503、504内にもこのような穴509が発生しており、さらには、触媒元素による結晶成長が及んでいない領域505にも穴509が発生した。このような状態のまま半導体装置を作製すると、局部的には非常に高性能な半導体素子が実現できるが、穴509が素子領域に被った場合、その素子において不良が発生する。また、このような穴509は、後のエッチング工程などにおいて、下層へのダメージを生じさせ、全体として信頼性の低下を招くことになる。従って、この方法を用いた場合には、半導体装置製造工程における歩留まりが極めて悪く、液晶表示用アクティブマトリクス基板のように基板上に何十万個ものTFTを配置した半導体装置などへの適用は到底不可能である。

【0030】本発明は、こうした従来技術の課題を解決するものであり、結晶性向上のための第2の加熱処理において触媒元素の再拡散を防止することができ、結晶性ケイ素膜において微小な穴が発生する等の問題を解消することが可能で、非常に高性能で高信頼性を有する半導体装置を歩留まりよく作製できる半導体装置の製造方法を提供することを目的とする。

【0031】

【課題を解決するための手段】請求項1記載の本発明の半導体装置の製造方法は、絶縁性基板の上に非晶質ケイ素薄膜を形成し、かつ、該非晶質ケイ素膜に、その結晶化を助長する触媒元素を選択的に導入する第1の工程と、第1の加熱処理を行い、該非晶質ケイ素膜を該触媒元素が導入された領域からその周辺領域へと、横方向に

結晶成長を行わせる第2の工程と、該触媒元素が局在している特定のケイ素膜領域を除去する第3の工程と、第2の加熱処理を行い、該第3の工程で残された結晶性ケイ素膜領域の結晶性を向上させる第4の工程とを包含してなり、そのことにより上記目的が達成される。

【0082】請求項2記載の本発明の半導体装置の製造方法は、前記第3の工程において除去する前記ケイ素膜領域が、少なくとも、前記第1の工程で前記触媒元素が導入された領域と、前記第2の工程で前記結晶成長により形成された結晶成長境界部であるように構成する。

【0033】請求項3記載の本発明の半導体装置の製造方法は、前記第3の工程において残すケイ素膜領域が、半導体素子領域であるように構成する。

【0034】請求項4記載の本発明の半導体装置の製造方法は、前記第3の工程は、エッチングにより行い、このエッチングによって、該当するケイ素膜部分と、その部分に含まれる前記触媒元素及び該触媒元素のシリサイド化合物を除去するように構成する。

【0035】請求項5記載の本発明の半導体装置の製造方法は、前記第1の工程における前記触媒元素を選択的に導入する工程を、前記非晶質ケイ素膜における前記触媒元素が導入されない領域に対応する位置にマスクを形成して行うように構成する。

【0036】請求項6記載の本発明の半導体装置の製造方法は、前記第1の工程における前記触媒元素を選択的に導入する工程を、フォトリソグラフィをマスクとして、スパッタリング法又は真空蒸着法で、前記非晶質ケイ素膜の表面に前記触媒元素を薄膜状に堆積した後に、該フォトリソグラフィを剥離して、該マスク上の該触媒元素をリフトオフすることにより行うように構成する。

【0037】請求項7記載の本発明の半導体装置の製造方法は、前記第1の工程における前記触媒元素を選択的に導入する工程を、酸化ケイ素膜又は窒化ケイ素膜をマスクとして、前記触媒元素を溶かし込んだ溶液を前記非晶質ケイ素膜の表面に塗布し乾燥させた後、プレアニール処理をして、該酸化ケイ素膜又は該窒化ケイ素膜のマスクを除去することにより行うように構成する。

【0038】請求項8記載の本発明の半導体装置の製造方法は、前記第2の加熱処理の温度を、前記第1の加熱処理の温度よりも高くするように構成する。

【0039】請求項9記載の本発明の半導体装置の製造方法は、前記第2の加熱処理を、ハロゲン化合物を含む酸化雰囲気下にて行うように構成する。

【0040】請求項10記載の本発明の半導体装置の製造方法は、前記第2の工程において、前記非晶質ケイ素膜を前記触媒元素が導入された領域からその周辺領域へと結晶成長させる方向と、半導体装置におけるキャリアの移動方向とを略平行とする構成とする。

【0041】請求項11記載の本発明の半導体装置の製造方法は、前記触媒元素として、Ni、Co、Pd、P

t、Cu、Ag、Au、In、Sn、Al及びSbの中の一つ種又は複数種類の元素を用いるように構成する。

【0042】以下、本発明の主旨及び作用について説明する。

【0043】上述の問題について、本発明者らは、実験により、上記の微小穴が生じる原因は、触媒元素が偏在し、その触媒元素が選択的に酸化され、エッチングされることにより生じていることを確認した。問題は、図5における横成長領域503、504及び非晶質領域505でも穴が生じる程多量の触媒元素が存在していることである。この主原因は、第2の加熱処理時における触媒元素の再拡散であることが確認された。

【0044】即ち、図5(A)における結晶化アニール(第1の加熱処理)後においては、触媒元素導入領域501、502及び結晶成長境界507、508に触媒元素は偏在しているが、さらに結晶性を向上させるための第2の加熱処理時に触媒元素の再拡散が生じ、横成長領域503、504並びに触媒元素による成長が及んでいない領域505にも、触媒元素が同レベルに存在するようになる。その結果、素子形成を行うべき横成長領域503、504にも微小穴が発生する訳である。

【0045】従って、本発明の主旨は、絶縁性基板の上に形成した非晶質ケイ素膜に、触媒元素を選択導入し、第1の加熱処理により触媒元素導入領域からその周辺領域へと横方向に結晶成長を行わせた後、ケイ素膜の結晶性を向上させる第2の加熱処理工程の前に、触媒元素が局在している特定のケイ素膜領域を除去する工程を行うことにある。即ち、第2の加熱処理による触媒元素の再拡散が行われる前に、言い換えれば触媒元素が偏在している間に、その触媒元素の偏在領域を除去してしまう訳である。これにより第2の加熱処理に生じた触媒元素の再拡散は、その主たる供給源が断たれることになり、上記問題の解決が図れ、目的とする高性能な半導体装置が高い歩留まりで得られる。

【0046】即ち、本発明の半導体装置の製造方法では、少なくとも、第1の工程で絶縁性基板の上に非晶質ケイ素薄膜を形成し、かつ、この非晶質ケイ素膜に、その結晶化を助長する触媒元素を選択的に導入し、第2の工程で第1の加熱処理を行い、非晶質ケイ素膜を触媒元素が導入された領域からその周辺領域へと、横方向に結晶成長を行わせ、第3の工程で触媒元素が局在している特定の領域のケイ素膜を除去し、第4の工程で第2の加熱処理を行い、第3の工程で残された結晶性ケイ素膜領域の結晶性を向上させるようにしている。

【0047】ここで言う触媒元素が局在している領域のケイ素膜とは、その成長メカニズム上、結晶化アニール後に触媒元素の偏在が見られる触媒元素導入領域と、結晶成長境界部、即ち、結晶化領域と未結晶化領域との境界及び結晶成長がぶつかり合った境界とが主な領域であり、少なくともこれらの領域が除去されることが望まし

い。即ち、図5のような導入パターンにて結晶成長を行わせた場合、触媒元素導入領域501、502、横方向の結晶成長がぶつかり合った境界507、横方向の結晶成長により結晶化された領域と非晶質領域との境界508の3点が少なくとも除去されていればよい。そして、その後第2の加熱処理を行うのである。

【0048】特に、上記第3の工程において残すケイ素膜領域が、半導体素子領域（半導体装置の活性領域）となるようにパターンニングすることが望ましい。このようにして触媒元素の局在領域を除去することで、工程短縮が行えるだけでなく、不必要な領域が全て除去される。このため、半導体素子領域への触媒元素の拡散量をさらに低減することができる。勿論、半導体素子領域は、図5における横成長領域503、504のみを用いて、例えば領域510で示す位置に形成される。

【0049】ここで、上記の半導体素子領域の形成工程も含め、触媒元素が局在している領域のケイ素膜を除去する工程において、対象となるケイ素膜と触媒元素とのエッチング性が重要となる。即ち、ケイ素膜が除去されても触媒元素がエッチングされずに残存していると、そこから基板表面を再拡散するため、本発明の効果が損なわれることになる。その他にも、下層へのダメージや、その上に形成されるバスラインなどの断線、半導体素子の信頼性の低下などを招く原因にもなる。さらに本発明者らが調べたところによると、多くの触媒元素はシリサイド化合物としてケイ素膜中に存在していることがわかっていて、従って、本発明における上記触媒元素が局在している特定のケイ素膜領域を除去する第3の工程としては、このケイ素膜と同時に、上記触媒元素及び触媒元素のシリサイド化合物が除去されるようなエッチングにより行うことが最も望ましい。

【0050】上記触媒元素が局在している領域のケイ素膜を除去する具体的な方法として、フッ化水素酸と硝酸の混合液を用いてエッチング除去することが望ましい。この除去工程では、前述のようにケイ素膜に加えて触媒元素又はそのシリサイド化合物も同時にエッチングされる必要がある。その目的において、フッ化水素酸と硝酸の混合液を用いてのエッチングが最適であり、ケイ素膜と共に触媒元素も同時にエッチングされ、除去領域において残渣の無い清浄な状態が得られる。

【0051】微細加工が望まれる場合にはプラズマによるドライエッチングが有効であるが、ケイ素膜のエッチングに従来から用いられているCF<sub>4</sub>ガスなどのフロン系ガスと酸素系ガスとによるドライエッチングでは、ケイ素膜はエッチングされるがシリサイド化合物はエッチングされず、触媒元素によるシリサイド化合物が残渣として基板表面に残ってしまう。基板に残ったこれらのシリサイド化合物が第2の加熱処理時に再拡散を起こしては、本発明の有効性が損なわれてしまう。

【0052】従って、ドライエッチングにおいても、ケ

イ素膜に加えて触媒元素又はそのシリサイド化合物も同時にエッチングされることが必要であり、その目的において、塩素ガスやBCl<sub>3</sub>、HClなどの塩素系ガスをを用いたRIE（リアクティブ・イオン・エッチング）法が非常に有効である。このようなRIE法を用いることで、除去領域において残渣の無い清浄な状態が得られ、微細加工が可能となる。

【0053】さて、第2の加熱処理後に見られる微小穴の主原因は、前述のように第2の加熱処理時における触媒元素の再拡散である。しかし、本発明者らがさらに実験研究を繰り返した結果、前述の原因に加えて、触媒元素の導入処理によっても、半導体素子領域が設けられるケイ素膜の横方向成長領域（図5の503、504）や触媒元素による成長が及んでいない非晶質領域（図5の505）に触媒元素が存在するようになることが確認された。

【0054】即ち、従来の触媒元素の導入法としては、図6（A）に示すように、主に酸化ケイ素膜603をマスク膜として、触媒元素604を基板全面に対して導入し、その後結晶化のための第1の加熱処理を行っていた。ここで601が基板、602は非晶質ケイ素膜を示している。しかしながら、このような従来法では、第1の加熱処理の際、図6（B）に示すように、触媒元素が接する導入領域605が結晶化され、さらに横方向H4へと結晶成長が進む一方、マスクとなる酸化ケイ素膜603上に存在する触媒元素604が、H5の矢印で示すように酸化ケイ素膜603を拡散し、下層のケイ素膜602に達している。

【0055】酸化ケイ素膜中での触媒元素の拡散係数は、ケイ素膜中に比べて非常に小さいため、横方向の結晶成長が行われた後に、触媒元素604が横成長領域602bの表面に達し、本来なら触媒元素が存在してはいけない領域に触媒元素が存在することになる。結晶成長が及んでいない非晶質領域602cにも、同様の理由により触媒元素が存在するようになる。この場合には、結晶化のための第1の加熱処理後に、すでに横成長領域602b及び成長が及んでいない非晶質領域602cに触媒元素が存在する訳であり、本発明の効果、有効性が大きく損なわれてしまうことになる。

【0056】従って、本発明の効果を最大限に引き出すためには、非晶質ケイ素膜に触媒元素を選択的に導入する第1の工程を、酸化ケイ素膜や窒化ケイ素膜、フォトレジストなどのマスク膜により、触媒元素が導入されない部分の非晶質ケイ素膜を覆った後に行い、触媒元素の導入後、このマスク膜を除去した後に、第1の加熱処理を行って、上記非晶質ケイ素膜を上記触媒元素が導入された領域からその周辺領域へと、横方向に結晶成長を行わせることが望ましい。この工程により、マスク上に存在する触媒元素は、結晶化のための第1の加熱処理前に除去され、マスク上から触媒元素が拡散してくるような

現象は全くなくなる。また、二次的な効果として、第1の加熱処理の際、熱処理炉に入れる基板の全体的な触媒元素量が大きく低減されるため、触媒元素による熱処理炉の汚染を低減することができる。

【0057】具体的な非晶質ケイ素膜への触媒元素の選択導入工程としては、フォトレジストをマスクとして、スパッタリング法又は真空蒸着法で、上記非晶質ケイ素膜の表面に触媒元素を薄膜状に堆積し、フォトレジストマスクを剥離して、マスク上の触媒元素をリフトオフすることによって行い、その後、第1の加熱処理を行うことが望ましい。スパッタリング法又は真空蒸着法で非晶質ケイ素膜上に薄膜状に形成された触媒元素は、フォトレジストの剥離工程では除去されないで、この方法により、触媒元素の選択導入を完全なものとするのが可能となる。また、酸化ケイ素膜などのマスク膜を形成する必要がなくなり、工程の短縮を図ることが可能となる。

【0058】また、その他の方法として、酸化ケイ素膜又は窒化ケイ素膜をマスクとして、触媒元素を溶かし込んだ溶液を基板表面に塗布し乾燥させ、その後、第1の加熱処理の前に、プレアニール処理を行った後、この酸化ケイ素膜又は窒化ケイ素膜のマスクを除去してから、第1の加熱処理を行う方法も有効である。この方法では、触媒元素を溶かし込んだ溶液を用いるため、溶液中の触媒元素濃度をコントロールすることで、基板上における触媒元素導入量の極微量制御が可能となる。しかしながら、ケイ素膜上に塗布された触媒元素は、水洗のみでも除去されるほどケイ素膜との結合が弱く、どうしてもマスク膜の除去で同時に除去されてしまう。そこで、この方法では、溶液を基板表面に塗布し乾燥させた後、

プレアニール処理を施すことで、導入領域において触媒元素をケイ素膜中に拡散させるため、その後、マスク膜を除去しても導入領域の触媒元素は除去されない。【0059】しかし、このプレアニール処理には、ある程度の高温が必要であるため、簡便なフォトレジストマスクを用いることはできず、酸化ケイ素膜又は窒化ケイ素膜によるマスクが必要となる。また、プレアニール処理において、触媒元素が酸化ケイ素膜又は窒化ケイ素膜中を拡散し、下層のケイ素膜に到達しては意味がないので、マスク膜の膜厚やプレアニール処理の条件は、触媒元素が下層のケイ素膜に到達しないように条件設定する必要がある。この方法により、上述の第2の加熱処理時に微小穴が発生する問題を解決できる上に、触媒元素の微量制御が可能となる。

【0060】ここで、上記方法における触媒元素を溶かし込んだ溶液は、溶質として触媒元素の酢酸塩又は硝酸塩を用い、溶媒としてエタノールやイソプロピルアルコール(IPA)などのアルコール系を用いることが望ましい。このような溶液を用いることで基板全面において安定した結晶成長が得られるようになる。また、特に液

品などの大型基板において、優れた面内均一性が得られる。尚、用いる触媒元素の酢酸塩がアルコールに不溶な場合には、極少量の水により酢酸塩をまず溶かしてから、主溶媒のアルコールと混ぜ合わせればよい。

【0061】さらに、上記触媒元素を溶かし込んだ溶液を基板表面に塗布し乾燥させる工程は、スピンコーターを用いたスピン塗布及びスピン乾燥により行うことが望ましい。この方法によれば、基板表面に均一に触媒元素を添加することができる。実際に本発明者らの実験では、320mm×400mmサイズのガラス基板上において、この方法により溶液の塗布及び乾燥を行った結果、触媒元素の表面濃度がほぼ±10%以内の分布に入っていることが確認された。

【0062】また、第1の加熱処理の前に行うプレアニール処理としては、後のマスク膜の除去工程において、導入領域の触媒元素が除去されない必要がある。マスク膜として用いられる酸化ケイ素膜や窒化ケイ素膜の除去には、一般的に弗化水素酸を用いるが、大抵の触媒元素はこのエッチャントにより除去されてしまう。

【0063】即ち、本発明における第1の加熱処理の前に行うプレアニール処理としては、触媒元素導入領域において、ケイ素膜中に触媒元素を十分に拡散させる必要があり、具体的には、非晶質ケイ素膜において触媒元素の選択導入領域の少なくとも一部は結晶成長させる必要がある。従って、第1の加熱処理の前に行うプレアニール処理は、上記条件を満たす加熱温度及び加熱時間で行うことが望ましい。そうすれば、マスク除去によって触媒元素が同時に除去されず、第1の加熱処理で十分な結晶成長が行われるようになる。

【0064】さて、本発明は、第1の加熱処理の後、第2の加熱処理を行うことを特徴としているが、これらの加熱処理の処理温度としては、第1の加熱処理温度よりも第2の加熱処理温度の方が少なくとも高い温度である必要がある。即ち、第1の加熱処理では、非晶質ケイ素膜の結晶化を目的としており、第2の加熱処理では、第1の加熱処理にて結晶化されたケイ素膜の結晶性をさらに向上させるための、所謂結晶性の改善処理を行うものである。

【0065】この目的において、第1の加熱処理は比較的低温で行う必要がある。なぜなら、高温で第1の加熱処理を行うと結晶化のスピードが速すぎるため、結晶核が基板全面においてランダムに発生し、また、結晶成長方向が様々に分岐するため、安定した結晶成長が望めない。そして、第2の加熱処理としては、第1の加熱処理で形成された結晶性ケイ素膜をさらに高品質化するために、少なくとも第1の加熱処理以上のエネルギーを与える必要があり、これにより、第1の加熱処理の結晶化工程で生じた結晶欠陥を大きく低減できる。

【0066】具体的には、第1の加熱処理の温度は、540℃～620℃の範囲で行い、第2の加熱処理の温

度は、800℃～1100℃の範囲内で行うことが望ましい。第1の加熱処理をこのような温度範囲で行えば、触媒元素の導入領域以外に発生する触媒元素によらない自発的な結晶成長を抑えることができ、安定した結晶成長が得られる。また、第2の加熱処理を、上記温度範囲で行えば、結晶欠陥を効率良く低減できると共に、半導体素子領域を形成する横方向の結晶成長領域内における柱状結晶のそれぞれを再結合させ、非常に高品質な単結晶シリコンに匹敵する高結晶性ケイ素膜が得られる。

【0067】加えて、上記の触媒元素溶液を基板表面に塗布することで、触媒元素添加を行う方法における第1の加熱処理の前に行うプレアニール処理は、温度500℃～550℃の範囲内において、10分から30分間行うことが望ましい。このプレアニール処理により、非晶質ケイ素膜において触媒元素の選択導入領域の少なくとも一部を結晶成長させることができる。

【0068】ここで、第2の加熱処理の雰囲気としては、ハロゲン化物を含む酸化雰囲気下にて行うことが望ましい。このような雰囲気にて第2の加熱処理をすることで、ハロゲン化物の不純物ゲッターリング作用により、結晶成長に使われた触媒元素の膜中濃度を大きく低減することができる。また、酸化作用により生じる過飽和Si原子をケイ素膜中へ供給して、より効率的に結晶欠陥、特にダングリングボンド（不対結合手）を消滅させることができる。

【0069】さらには、この第2の加熱処理におけるハロゲン化物を含む酸化雰囲気として、特にHClガスを用いることが望ましい。HClガスを用いることで、触媒元素を塩化物化させ気化させることができ、効率的に触媒元素をケイ素膜中より取り除くことが可能となる。

【0070】本発明において、より高移動度、高性能な半導体装置を実現するためには、触媒元素によるケイ素膜の結晶成長方向と、半導体装置におけるキャリアの移動方向とを略平行とすることが望ましい。これにより、キャリアの移動に際してトラップとなるような結晶粒界は、その移動方向には理論上は存在しないことになり、より高移動度を有する半導体装置が得られるようになる。実際には、横方向の結晶成長領域において、ある程度の柱状結晶の曲がりや分岐が生じてはいるが、このような構成にすることにより、キャリアの移動方向に対する結晶粒界などのトラップ量は、確実に激減する。

【0071】本発明に利用できる触媒元素の種類としては、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、Sbを利用することができる。これらから選ばれた一種類又は複数種類の元素であれば、微量で結晶化助長の効果がある。

【0072】それらの中でも、特にNiを用いた場合に最も顕著な効果を得ることができる。この理由については、次のようなモデルが考えられる。触媒元素は単独では作用せず、ケイ素膜と結合しシリサイド化することで

結晶成長に作用する。そのときの結晶構造が、非晶質ケイ素膜の結晶化時に一種の鋳型のように作用し、非晶質ケイ素膜の結晶化を促すといったモデルである。Niは2つのSiとNiSi<sub>2</sub>のシリサイドを形成する。NiSi<sub>2</sub>は螢石型の結晶構造を示し、その結晶構造は、単結晶ケイ素のダイヤモンド構造と非常に類似したものである。しかも、NiSi<sub>2</sub>はその格子定数が0.5406nmであり、結晶シリコンのダイヤモンド構造での格子定数0.5430nmに非常に近い値をもつ。よって、NiSi<sub>2</sub>は、非晶質ケイ素膜を結晶化させるための鋳型としては最高のものであり、本発明における触媒元素としては、特にNiを用いるのが最も望ましい。

【0073】

【発明の実施の形態】以下に本発明の実施の形態を図面に基づいて具体的に説明する。

【0074】（実施形態1）図1及び図2は、本発明方法によりNチャネル型TFT（N型TFT）を作製する工程を示す実施形態1を表す。以下に、その作製工程を図2の（A）→（F）の工程の進行順に説明する。

【0075】まず、図2（A）に示すように、石英ガラス基板101表面を1%程度のフッ化水素酸にて洗浄した後、基板101上に、減圧CVD法又はプラズマCVD法によって、厚さ25nm～100nm、例えば50nmの真性（I型）の非晶質ケイ素膜（a-Si膜）102を成膜し、さらにその上に酸化ケイ素膜又は窒化ケイ素膜等の絶縁性薄膜103を堆積する。この絶縁性薄膜103は、後の触媒元素導入時のマスク膜となるものであり、本実施形態1においては、酸化ケイ素膜を用い、TEOS（Tetra Ethoxy Ortho Silicate）を原料とし、酸素とともにRFプラズマCVD法で分解し堆積した。マスク酸化ケイ素膜103の厚さは、50nm～250nmであることが望ましく、これ以上薄いと触媒元素が下層まで拡散し、これ以上厚いと結晶成長が良好に行えない。そこで、本実施形態1では、この酸化ケイ素膜103の厚さを150nmとした。

【0076】次に、この酸化ケイ素膜103をパターニングすることでマスクを形成する。ここで、マスク103のスルーホールを介して、スリット状にa-Si膜102が露呈される。即ち、図2（A）の状態を上面から見ると、図1に示すようにa-Si膜102が領域100でスルーホールによりスリット状に露呈しており、他の部分はマスクされている状態となっている。

【0077】上記マスク103を設けた後、さらに図2（A）に示すように、a-Si膜102表面が露呈している領域100に、ニッケル104を溶かしたエタノール溶液が浸透するように基板101を保持する。本実施形態1では、溶質としては酢酸ニッケルを用い、エタノール溶液中のニッケル濃度は10ppmとなるようにした。その後、スピナーにより水溶液を基板101上に均



ーに延ばし乾燥させることで、基板101上の酸化ケイ素膜103とa-Si膜102の表面にニッケル104を微量添加する。この工程により領域100で露呈している部分のa-Si膜102に選択的にニッケル104が導入されたことになる。そして、これを不活性雰囲気下、例えば窒素雰囲気にて、処理温度500℃～550℃の範囲内で処理時間10分～30分のプレアニール処理を施す。本実施形態1では、530℃にて20分の熱処理を行った。

【0078】このプレアニール処理において、図2(B)に示すように、領域100においては、a-Si膜表面に添加されたニッケル104を核として基板101に対して垂直方向にケイ素膜102の結晶化が起こり、結晶性ケイ素膜102aが形成される。また、領域100以外の領域は、結晶成長が到達せず非晶質状態のままa-Si領域102cとして残る。このとき、マスク膜103上のニッケル104は、上記のアニール条件では、マスク膜103に阻まれ、下層のa-Si膜102に到達することはできない。

【0079】次に、マスクとして用いた酸化ケイ素膜103をエッチング除去する。エッチャントとしては、下層のケイ素膜102と十分に選択性のある1:10パーファードフッ酸(BHF)を用い、ウェットエッチングにより行った。その後、再び基板101に対して、不活性雰囲気下、例えば窒素雰囲気にて540℃～620℃の温度で数時間から数十時間の加熱処理(第1の加熱処理)を施す。本実施形態1では、一例として580℃にて11時間の処理を行った。

【0080】この加熱処理において、先に結晶化した領域100(102a)の周辺領域から、図2(C)において、矢印H1で示すように、領域100から横方向(基板と平行な方向)に結晶成長が行われ、横方向に結晶成長した結晶性ケイ素膜102bが形成される。それ以外の102の領域は、そのまま非晶質ケイ素膜領域102cとして残る。この横方向に結晶成長した結晶性ケイ素膜102b中のニッケル濃度は $8 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、そのシード領域とも言える直接ニッケルを導入し結晶成長させた領域100における結晶性ケイ素膜102a中のニッケル濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 程度であった。

【0081】尚、上記結晶成長に際し、矢印H1で示される基板と平行な方向の結晶成長の距離は、130 $\mu\text{m}$ 程度であった。この状態を基板上方より見ると、図1における触媒元素導入領域102a(100)と、横方向に結晶成長した結晶性ケイ素膜領域102bと非晶質ケイ素膜領域102cとの境界102dに、ニッケル104が局在している。

【0082】次に、図2(D)に示すように不要な部分のケイ素膜102を除去して素子間分離を行う。このときのエッチングとしては、フッ化水素酸と硝酸を1:1

00に混合した所謂1:100フッ硝酸を用いたウェットエッチングにより行った。このエッチング処理により、ニッケル104が多量に存在する102aと102dの領域においても、ケイ素膜と共にニッケル104がエッチングされるため、エッチング残渣の無い綺麗な基板表面が得られる。即ち、このエッチング処理により、多量のニッケル104は既に基板外へと除去される訳である。そして、以上の工程で、後にTFTのソース領域、ドレイン領域及びチャネル領域、即ち活性領域となる島状の結晶性ケイ素膜102fが形成され、図2(D)の状態を得る。

【0083】次に、図2(D)の状態で、第2の加熱処理を施し、島状の結晶性ケイ素膜102fの結晶性を向上させる。第2の加熱処理としては、ハロゲン化合物を含む酸化雰囲気において、温度800℃～1100℃で数十分から数時間の加熱処理を行う。本実施形態1では、HClと酸素の混合ガスを用い、HClの流量比を全ガス流量の3%に設定し、基板温度950℃で25分の加熱処理を行った。この工程により結晶性ケイ素膜102fの表面が均一に酸化され、結晶性ケイ素膜102fの厚さは35nm程度に減少する。また、結晶性ケイ素膜102fの結晶性が大幅に向上すると共に、膜中に残存していたニッケルが低減される。実際に、第2の加熱処理後のケイ素膜中のニッケル濃度は、 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下にまで低減した。このときの島状の結晶性ケイ素膜102fにおいて、従来問題となっていた微小穴は全く発生していない。

【0084】次に、結晶性ケイ素膜102fの表面酸化膜を1:10BHFでエッチング除去した後、図2(E)に示すように、上記の活性領域となる結晶性ケイ素膜102fを覆うように厚さ20nm～150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜106として成膜する。この酸化ケイ素膜の形成には、ここではTEOSを原料とし、酸素とともに基板温度150℃～600℃の範囲内、好ましくは300℃～450℃の範囲内で、RFプラズマCVD法で分解し堆積した。尚、TEOSを原料としてオゾンガスとともに減圧CVD法又は常圧CVD法によって、基板温度を350℃～600℃の範囲内、好ましくは400℃～550℃の範囲内として形成してもよい。成膜後、ゲート絶縁膜自身のバルク特性並びに結晶性ケイ素膜とゲート絶縁膜の界面特性を向上させるために、酸化性ガス雰囲気下で処理温度800℃～1000℃の範囲内で、処理時間30分～60分の範囲内のアニール処理を行った。

【0085】次に、スパッタリング法によって、厚さ400nm～800nmの範囲内、例えば600nmのアルミニウムを成膜する。そして、アルミニウム膜をパターニングして、ゲート電極107を形成する。さらに、このアルミニウムの電極の表面を陽極酸化して、表面に酸化物層108を形成する。この状態が図2(E)に相

当する。陽極酸化は、酒石酸が1%~5%含まれたエチレングリコール溶液で行い、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持して終了させる。得られた酸化物層108の厚さは200nmである。尚、この酸化物層108は、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さとなるので、オフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0086】次に、イオンドーピング法によって、ゲート電極107とその周囲の酸化物層108をマスクとして活性領域に不純物（リン）を注入する。ドーピングガスとして、フォスフィン（PH<sub>3</sub>）を用い、加速電圧を60kV~90kVの範囲内、例えば80kV、ドーズ量を $1 \times 10^{15} \text{ cm}^{-2} \sim 8 \times 10^{15} \text{ cm}^{-2}$ の範囲内、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、不純物が注入された領域110及び111はそれぞれ後にTFTのソース領域及びドレイン領域となり、ゲート電極107及びその周囲の酸化層108にマスクされ不純物が注入されない領域109は、後にTFTのチャネル領域となる。この状態を基板上方より見ると、図1に示すように、TFTにおけるキャリアの移動方向はソース領域110及びドレイン領域111の領域方向であり、図1紙面における横方向である。これに対して、チャネル部109を構成するケイ素膜の結晶成長方向はH1の方向であり、キャリアの移動方向に対してほぼ平行となるように配置されている。このように配置することで特に高移動度なTFTが実現できる。

【0087】次に、図2(E)に示すように、レーザー光L1の照射によってアニール処理を行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザーとしてはXeClエキシマレーザー（波長308nm、パルス幅40nsec）を用い、エネルギー密度 $150 \text{ mJ/cm}^2 \sim 400 \text{ mJ/cm}^2$ の範囲内、好ましくは $200 \text{ mJ/cm}^2 \sim 250 \text{ mJ/cm}^2$ の範囲内で照射を行った。こうして形成されたN型不純物（リン）領域110、111のシート抵抗は、 $200 \Omega/\square \sim 800 \Omega/\square$ の範囲内であった。

【0088】次に、厚さ600nm程度の酸化ケイ素膜又は窒化ケイ素膜を層間絶縁膜113として形成する。酸化ケイ素膜を用いる場合には、TEOSを原料として、これと酸素とのプラズマCVD法、又はオゾンとの減圧CVD法若しくは常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。また、SiH<sub>4</sub>とNH<sub>3</sub>を原料ガスとしてプラズマCVD法で成膜された窒化ケイ素膜を用いれば、活性領域とゲート絶縁膜との界面へ水素原子を供給し、TFT特性を劣化させる不對結合手を低減する効果がある。

【0089】次に、層間絶縁膜113にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミ

ニウムの二層膜によってTFTの電極・配線114、115を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。そして最後に、1気圧の水素雰囲気350℃、30分のアニール処理を行い、図2(F)に示すTFT117を完成させる。このアニール処理は、最後まで残ったケイ素膜中の結晶欠陥、特に不對結合手を水素でターミネートすることで消滅させる目的で行われる。

【0090】このTFT117を、画素電極をスイッチングする素子として用いる場合には電極114又は115をITOなど透明導電膜からなる画素電極に接続し、もう一方の電極より信号を入力する。また、このTFT117を薄膜集積回路に用いる場合には、ゲート電極107上にもコンタクトホールを形成し、必要とする配線を施せばよい。また、必要に応じて、TFT117上に窒化ケイ素膜からなる保護膜を設ければよい。

【0091】以上の実施形態1に従って作製したN型TFT117は、電界効果移動度が $150 \text{ cm}^2/\text{Vs} \sim 250 \text{ cm}^2/\text{Vs}$ 、閾値電圧が1V~1.5Vと非常に高性能な電気特性を示した。また、従来発生していた活性領域における微小欠陥が全く無く、特に数十万という数の画素TFTを駆動する液晶表示用アクティブマトリクス基板では、上記原因による画素欠陥が解決でき、非常に高精細で高表示品位の液晶表示装置が得られる。また、ニッケルによる導入領域100下の基板101へのダメージがほとんどなく、その結果としてバスラインの断線不良も低減し、製造歩留まりが向上した。また、TFT特性においても、触媒元素が特に問題となるTFTオフ領域でのリーク電流は、従来の10pA~15pAに比べ問題とならない2pA程度にまで低減できた。

【0092】尚、このTFTはアクティブマトリクス型の液晶表示装置のドライバー回路や画素部分は勿論、同一基板上にCPUを構成する素子としても用いることができる。また、このTFTの応用範囲としては、液晶表示装置のみではなく、一般に言われる薄膜集積回路に利用できることは言うまでもない。

【0093】（実施形態2）図3及び図4は、本発明方法によりN型TFTとP型TFTを相補型に構成したCMOS構造の回路を石英ガラス基板上に作製する工程を示す実施形態2を要す。以下に、その作製工程を図4の(A)→(E)の工程の進行順に説明する。

【0094】まず、図4(A)に示すように、石英ガラス基板201表面を1%程度のフッ化水素酸にて洗浄した後、基板201上に、減圧CVD法又はプラズマCVD法によって、厚さ25nm~100nmの範囲内、例えば50nmの真性（I型）の非晶質ケイ素膜（a-Si膜）202を成膜する。

【0095】次に、a-Si膜202上に感光性樹脂（フォトレジスト）を塗布し、露光・現像してマスク203とする。フォトレジストマスク203のスルーホー

ルにより、領域200においてスリット状にa-Si膜202が露呈される。即ち、図4(A)の状態を上面から見ると、図3に示すように領域200でa-Si膜202が露呈しており、他の部分はフォトレジストによりマスクされている状態となっている。

【0096】上記マスク203を設けた後、図4(A)に示すように、基板201表面にニッケル204を薄膜蒸着する。本実施形態2では、蒸着ソースと基板間の距離を通常より大きくして、蒸着レートを低下させることで、ニッケルの薄膜204の厚さが1nm以下となるように制御した。このときの基板201上におけるニッケル204の面密度を実際に測定すると、 $2 \times 10^{13}$  atoms/cm<sup>2</sup>程度であった。

【0097】次に、図4(B)に示すように、フォトレジストマスク203を除去することで、マスク203上のニッケル薄膜204がリフトオフされ、領域200のa-Si膜202において、選択的にニッケル204の微量導入が行われたことになる。そして、これを不活性雰囲気下、例えば窒素雰囲気下で、加熱温度540℃～620℃の範囲内、例えば580℃で1時間アニール

処理して結晶化させる。

【0098】この際、領域200においては、a-Si膜202表面に添加されたニッケル204を核として基板201に対して垂直方向にケイ素膜202の結晶化が起り、結晶性ケイ素膜202aが形成される。

【0099】次に、領域200の周辺領域では、図4(B)において、矢印H2で示すように、領域200から横方向(基板と平行な方向)に結晶成長が行われ、横方向結晶成長した結晶性ケイ素膜202bが形成される。それ以外の202の領域は、そのまま非晶質ケイ素膜領域202cとして残る。この横方向に結晶成長した結晶性ケイ素膜202b中のニッケル濃度は $1 \times 10^{17}$  atoms/cm<sup>3</sup>程度であり、直接ニッケルを添加し結晶成長させた領域200の結晶性ケイ素膜202a中のニッケル濃度は $2 \times 10^{18}$  atoms/cm<sup>3</sup>程度であった。

【0100】尚、上記結晶成長に際し、矢印H2で示される基板と平行な方向の結晶成長の距離は、130μm程度である。この状態を基板上方より見ると、図3における、触媒元素導入領域202a(200)と、横方向に結晶成長した結晶性ケイ素膜領域202bと非晶質ケイ素膜領域202cとの境界202dに、ニッケル204は局在している。

【0101】次に、図4(C)に示すように、後にTFTの活性領域(半導体素子領域)202n、202pとなる結晶性ケイ素膜を残し、それ以外の領域をエッチング除去して素子間分離を行う。このときのエッチングとしては、BCl<sub>3</sub>とCl<sub>2</sub>の混合ガスを用いたRFプラズマによるRIE法により行った。エッチング条件としては、BCl<sub>3</sub>流量を15sccm、Cl<sub>2</sub>流量を70sccmとし、

圧力8mTorr程度の減圧下、1300WのRFパワーをかけて行った。

【0102】このエッチング処理により、ニッケル204が多量に存在する202aと202dの領域においても、ケイ素膜と共にニッケル204がエッチングされるため、エッチング残渣の無い綺麗な基板表面が得られると共に、ウェットエッチングを用いる場合に比べてさらなる微細加工ができる。以上の工程で、後にTFTのソース領域、ドレイン領域及びチャネル領域、即ち活性領域となる島状の結晶性ケイ素膜202n、202pが形成され、図4(C)の状態を得る。

【0103】次に、図4(C)の状態、第2の加熱処理を施し、島状の結晶性ケイ素膜202n、202pの結晶性を向上させる。第2の加熱処理としては、ハロゲン化物を含む酸化雰囲気において、温度800℃～1100℃の範囲内で数十分から数時間の加熱処理を行う。本実施形態2では、HClと酸素の混合ガスを用い、HClの流量比を全ガス流量の3%に設定し、基板温度950℃にて25分の加熱処理を行った。

【0104】この工程によりケイ素膜202n、202pの表面が均一に酸化され、結晶性ケイ素膜202n及び202pの厚さは35nm程度に減少する。また、結晶性ケイ素膜202n、202pの結晶性が大幅に向上すると共に、膜中に残存していたニッケルが低減される。実際に、第2の加熱処理後のケイ素膜中のニッケル濃度は、 $5 \times 10^{15}$  atoms/cm<sup>3</sup>以下にまで低減した。このときの島状の結晶性ケイ素膜202n、202pにおいて、従来問題となっていた微小穴は全く発生していない。

【0105】次に、島状の結晶性ケイ素膜202n、202pの表面酸化膜を1:10BHFでエッチング除去した後、上記の活性領域となる結晶性ケイ素膜202n及び202pを覆うように厚さ100nmの酸化ケイ素膜をゲート絶縁膜206として成膜する。本実施形態2では、ゲート絶縁膜206の成膜方法としてTEOSを原料とし、酸素とともに基板温度350℃で、RFプラズマCVD法で分解し堆積した。

【0106】次に、図4(D)に示すように、スパッタリング法によって厚さ400nm～800nmの範囲内、例えば500nmのアルミニウム(0.1%～2%のシリコンを含む)を成膜し、アルミニウム膜をパターニングして、ゲート電極207n、207pを形成する。

【0107】次に、イオンドーピング法によって、活性領域202n、202pにゲート電極207n、207pをマスクとして不純物(リン及びホウ素)を注入する。ドーピングガスとして、フォスフィン(PH<sub>3</sub>)及びジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、前者の場合は、加速電圧を60kV～90kVの範囲内、例えば80kV、後者の場合は、40kV～80kVの範囲内、例えば65k

Vとし、ドーパ量は $1 \times 10^{15} \text{ cm}^{-2} \sim 8 \times 10^{15} \text{ cm}^{-2}$ の範囲内、例えばリンを $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ とする。

【0108】この工程により、ゲート電極207n、207pにマスクされ不純物が注入されない領域は後にTFTのチャネル領域209n、209pとなる。ドーピングに際しては、ドーピングが不要な領域をフォトリソで覆うことによって、それぞれの元素を選択的にドーピングを行う。この結果、N型の不純物領域210nと211n、P型の不純物領域210pと211pが形成され、図3に示すようにN型TFT217とP型TFT218とを形成することができる。

【0109】次に、図4(D)に示すように、レーザー光L2の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40ns)を用い、レーザー光の照射条件としては、エネルギー密度 $250 \text{ mJ/cm}^2$ で一か所につき10ショット照射した。

【0110】次に、図4(E)に示すように、厚さ600nmの酸化ケイ素膜を層間絶縁膜213としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFTの電極・配線214、215及び216を形成する。そして最後に、1気圧の水素雰囲気下で350℃、1時間のアニール処理を行い、N型TFT217とP型TFT218によるCMOS回路を完成させる。

【0111】以上の実施形態2に従って作製したCMOS構造回路において、それぞれのTFTの電界効果移動度は、N型TFTで $200 \text{ cm}^2/\text{Vs} \sim 300 \text{ cm}^2/\text{Vs}$ 、P型TFTで $150 \text{ cm}^2/\text{Vs} \sim 200 \text{ cm}^2/\text{Vs}$ と高く、閾値電圧はN型TFTで0.5V~1V、P型TFTで-2V~-3Vと非常に良好な特性を示す。さらに、TFTオフ領域でのリーク電流もN型TFTで5pA、P型TFTで3pA程度と従来法に比べ低い値に抑えられている。また、問題となる活性領域での微小穴の発生は全くなく、製造歩留まりが大きく向上した。さらに、RIE法によるエッチングによりTFTサイズを従来法よりも小さく設定できるため、高集積化が可能となった。

【0112】(その他の実施形態)本発明は上述の2つの実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0113】例えば、前述の2つの実施形態においては、ニッケルを導入する方法として、非晶質ケイ素膜表面をニッケル塩を溶かしたエタノール溶液を塗布する方法、又は蒸着法によりニッケル薄膜を形成する方法により、選択的にニッケル微量添加を行い、結晶成長を行なう方法を採用した。しかし、非晶質ケイ素膜の成膜前

に、下地膜表面に選択的にニッケルを導入し、非晶質ケイ素膜の下層よりニッケルを拡散させ結晶成長を行わせる方法としてもよい。即ち、結晶成長は非晶質ケイ素膜の上面側から行ってもよいし、下面側から行ってもよい。

【0114】また、ニッケルの導入方法としても、その他、様々な手法を用いることができる。例えば、ニッケル塩を溶かせる溶媒として、単純に水を用いてもよいし、SOG(スピンオンガラス)材料を溶媒としてSiO<sub>2</sub>膜より拡散させる方法もある。また、スパッタリング法やメッキ法により薄膜形成する方法や、イオンドーピング法により直接導入する方法なども利用できる。

【0115】さらに、結晶化を助長する不純物金属元素としては、ニッケル以外にコバルト、パラジウム、白金、銅、銀、金、インジウム、スズ、アルミニウム又はアンチモンを用いても同様の効果が得られる。

【0116】また、第2の加熱処理は、HCl雰囲気で行ったが、結晶性向上の観点からは、ドライ酸素雰囲気や窒素雰囲気などでも効果がある。また、触媒元素が多量に含まれている領域のケイ素膜をエッチングする工程は、上記の2つの実施形態以外の方法でも勿論効果があり、特にケイ素膜と共にニッケルシリサイドが同時にエッチングできるような方法であれば問題ない。

【0117】さらに、本発明の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサー、ドライバー内蔵型のサーマルヘッド、有機系EL等を発光素子としたドライバー内蔵型の光書き込み素子や表示素子、三次元IC等が考えられる。本発明を用いることで、これらの素子的高速化、高解像度化等の高性能化が実現される。さらに本発明は、上述の実施形態で説明したMOS型トランジスタに限らず、結晶性半導体を素子材としたバイポーラトランジスタや静電誘導トランジスタをはじめとして幅広く半導体プロセス全般に適用することができる。

【0118】尚、前述の2つの実施形態においては、絶縁性基板として石英ガラスを用いたが、本発明はこれに限定されるものではなく、絶縁表面を有する基板又は基板全体が絶縁性のものであれば何を用いてもよい。

【0119】

【発明の効果】以上の本発明によれば、絶縁性基板の上に形成した非晶質ケイ素膜に、触媒元素を選択導入し、第1の加熱処理により触媒元素導入領域からその周辺領域へと横方向に結晶成長を行わせた後、結晶性ケイ素膜領域の結晶性を向上させる第2の加熱処理工程の前に、触媒元素が局在している特定のケイ素膜領域を除去する工程を行うので、第2の加熱処理で従来生じていた触媒元素の再拡散を防止することができる。

【0120】このため、上述した結晶性ケイ素膜において微小な穴が発生するといった問題等を解消することができ、非常に高性能な薄膜半導体素子を実現することが

できる。しかも、集積度の高い高性能半導体装置を、簡便な製造プロセスにて得ることができる。

【0121】また、その製造工程において良品率を大きく向上でき、商品の低コスト化を図ることができる。特に数十万というTFT素子を有する液晶表示装置においては、良品率を飛躍的に向上することができると共に、アクティブマトリクス基板に要求される画素スイッチングTFTのスイッチング特性の向上、並びに周辺駆動回路部を構成するTFTに要求される高性能化、高集積化を同時に満足することができる。

【0122】従って、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するドライバモノリシック型アクティブマトリクス基板を実現でき、モジュールのコンパクト化、高性能化及び低コスト化を図ることができる。

【0123】特に、請求項2記載の半導体装置の製造方法によれば、第3の工程において残すケイ素膜領域を、少なくとも、第1の工程で触媒元素が導入された領域と、第2の工程で結晶成長により形成された結晶成長境界部とするので、触媒元素の主たる偏在領域を除去し、第2の加熱処理で生じていた触媒元素の再拡散を防止することができる。

【0124】また、特に請求項3記載の半導体装置の製造方法によれば、第3の工程において残すケイ素膜領域を半導体素子領域とするので、工程短縮を行うことができるのに加えて、不必要な領域も全て除去することができるので、半導体素子領域への触媒元素の拡散量をさらに低減することができる。

【0125】また、特に請求項4記載の半導体装置の製造方法によれば、前記第3の工程を、エッチングにより行い、このエッチングによって、該当するケイ素膜部分と、その部分に含まれる触媒元素及び触媒元素のシリサイド化合物を併せて除去するので、ケイ素膜を除去した際に触媒元素が残存して再拡散するといった問題を解消することができる。

【0126】特に、このエッチングをフッ化水素酸と硝酸の混合液を用いて行くと、ケイ素膜と共に触媒元素も同時にエッチングすることができ、除去領域において残渣の無い清浄な表面状態を得ることができる。また、このエッチングを、塩素ガス又は塩素系ガスを用いたRIE法によりドライエッチングを行うと、除去領域において残渣の無い清浄な表面状態を得ることができ、微細加工をする上で有効である。

【0127】また、特に請求項5記載の半導体装置の製造方法によれば、第1の工程における触媒元素を選択的に導入する工程を、非晶質ケイ素膜における触媒元素を導入しない領域に対応する位置にマスクを形成して行うので、マスク上に存在する触媒元素を、結晶化のための第1の加熱処理前に除去して、マスク上から触媒元素が拡散してくるような現象の発生を防止することができ

る。また、第1の加熱処理の際、熱処理炉に入れる基板上の全体的な触媒元素量を大きく低減できるため、触媒元素による熱処理炉の汚染を低減することができる。

【0128】また、特に請求項6記載の半導体装置の製造方法によれば、第1の工程における触媒元素を選択的に導入する工程を、フォトリソistをマスクとして、スパッタリング法又は真空蒸着法で、非晶質ケイ素膜の表面に触媒元素を薄膜状に堆積した後に、このフォトリソistを剥離して、マスク上の触媒元素をリフトオフすることにより行うので、触媒元素の選択導入を完全なものとすることができる。また、酸化ケイ素膜などのマスク膜を形成する必要がなくなり、工程の短縮を図ることができる。

【0129】また、特に請求項7記載の半導体装置の製造方法によれば、第1の工程における触媒元素を選択的に導入する工程を、酸化ケイ素膜又は窒化ケイ素膜をマスクとして、触媒元素を溶かし込んだ溶液を非晶質ケイ素膜の表面に塗布し乾燥させた後、ブレアニール処理をして、酸化ケイ素膜又は窒化ケイ素膜のマスクを除去することにより行うので、触媒元素を溶かし込んだ溶液中の触媒元素濃度をコントロールすることで、基板上における触媒元素導入量の極微量制御をすることができる。また、マスク除去によって触媒元素が同時に除去されるといった問題を解消することができる。

【0130】特に、この溶液の溶質として触媒元素の酢酸塩又は硝酸塩を用い、溶液の溶媒としてアルコール系を用いると、基板全面において安定した結晶成長が得られ、液晶などの大型基板において、優れた面内均一性を得ることができる。また、この溶液を非晶質ケイ素膜の表面に塗布し乾燥する工程を、スピコートを用いたスピ塗布及びスピ乾燥で行うと、基板表面に均一に触媒元素を添加することができる。

【0131】また、このブレアニール処理を、非晶質ケイ素膜において触媒元素が選択的に導入された領域の少なくとも一部を、結晶成長が行われる条件を満たす加熱状態、例えば処理温度500℃～550℃の範囲内にて、処理時間10分～30分の範囲内で行うと、所望の領域に限定して触媒元素を添加することができるので、非晶質ケイ素膜における触媒元素の選択導入領域をさらに限定して結晶成長させることができる。

【0132】また、特に請求項8記載の半導体装置の製造方法によれば、第2の加熱処理の温度を、第1の加熱処理の温度よりも高くするので、第1の加熱処理では安定した結晶成長で結晶性ケイ素膜を形成することができ、第2の加熱処理では、第1の加熱処理の結晶化工程で生じた結晶欠陥を大きく低減することができ、第1の加熱処理で形成された結晶性ケイ素膜をさらに高品質化することができる。

【0133】特に、この第1の加熱処理の温度を540℃～620℃の範囲内とし、第2の加熱処理の温度を8

00℃～1100℃の範囲内とすると、第1の加熱処理では、触媒元素の導入領域以外に発生する触媒元素によらない自発的な結晶成長を抑えることができ、安定した結晶成長が得られる。また、第2の加熱処理では、結晶欠陥を効率良く低減できると共に、半導体素子領域を形成する横方向の結晶成長領域内における柱状結晶のそれぞれを再結合させ、非常に高品質な単結晶シリコンに匹敵する高結晶性ケイ素膜を得ることができる。

【0134】また、特に請求項9記載の半導体装置の製造方法によれば、第2の加熱処理を、ハロゲン化物を含む酸化雰囲気下にて行うので、ハロゲン化物の不純物ゲッタリング作用により、結晶成長に使われた触媒元素の膜中濃度を大きく低減することができる。また、酸化作用により生じる過飽和Si原子をケイ素膜中へ供給して、より効率的に結晶欠陥、特にダングリングボンド（不對結合手）を消滅させることができる。特に、ハロゲン化物としてHClガスを用いると、触媒元素を塩化物化させ気化させることができ、効率的に触媒元素をケイ素膜中より取り除くことができる。

【0135】また、特に請求項10記載の半導体装置の製造方法によれば、第2の工程において、非晶質ケイ素膜を触媒元素が導入された領域からその周辺領域へと結晶成長させる方向と、半導体装置におけるキャリアの移動方向とを略平行とするので、キャリアの移動に際してトラップとなるような結晶粒界は、その移動方向には理論上は存在しないことになり、より高移動度を有する半導体装置を得ることができる。

【0136】また、特に請求項11記載の半導体装置の製造方法によれば、触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al及びSbの中の種類又は複数種類の元素を用いるので、微量で結晶化助長の効果を奏する。

【0137】特に、この触媒元素として、少なくともNiを用いると、Niがケイ素膜と結合しシリサイドNiSi<sub>2</sub>となって結晶成長に作用するが、その結晶構造が、非晶質ケイ素膜の結晶化時に一種の鋳型のように作

用するため、非晶質ケイ素膜の結晶化を促す一層の効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施形態1の作製工程を示す平面図である。

【図2】本発明の実施形態1の作製工程を示す図1のA-A'断面における断面図である。

【図3】本発明の実施形態2の作製工程を示す平面図である。

10 【図4】本発明の実施形態2の作製工程を示す図3のB-B'断面における断面図である。

【図5】従来例において、第2の加熱処理での触媒元素の再拡散によりケイ素膜に微小な穴が発生する様子を表す図であって、(A)に触媒元素の選択添加による固相結晶成長後の平面図を、(B)に第2の加熱処理後の平面図を示す。

【図6】従来例において、第1の加熱処理での触媒元素の拡散の様子を表す図である。

20 【図7】従来例において、第2の加熱処理での触媒元素の再拡散によりケイ素膜表面に微小な穴が発生した状態を表す写真である。

【符号の説明】

101、201 石英ガラス基板

102、202 ケイ素膜

103、203 マスク膜

104、204 触媒元素

106、206 ゲート絶縁膜

107、207 ゲート電極

108 陽極酸化層

30 109、209 チャネル領域

110、210 ソース領域

111、211 ドレイン領域

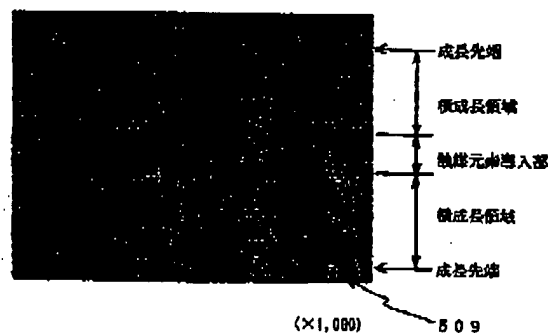
113、213 層間絶縁膜

114、115、214、215、216 電極・配線

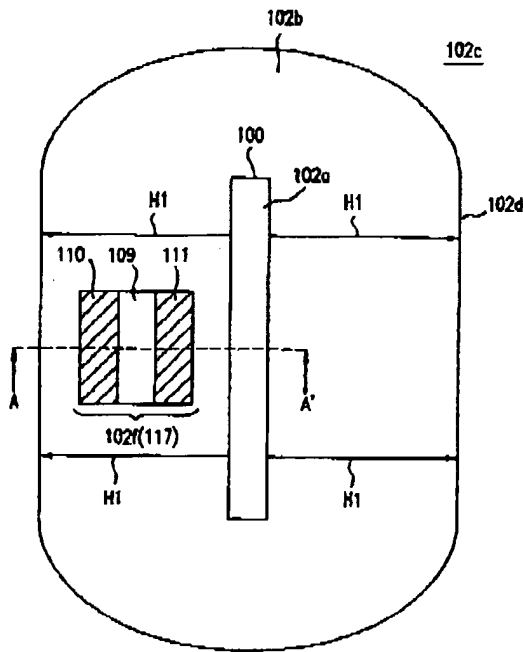
117、217 Nチャネル型TFT

218 Pチャネル型TFT

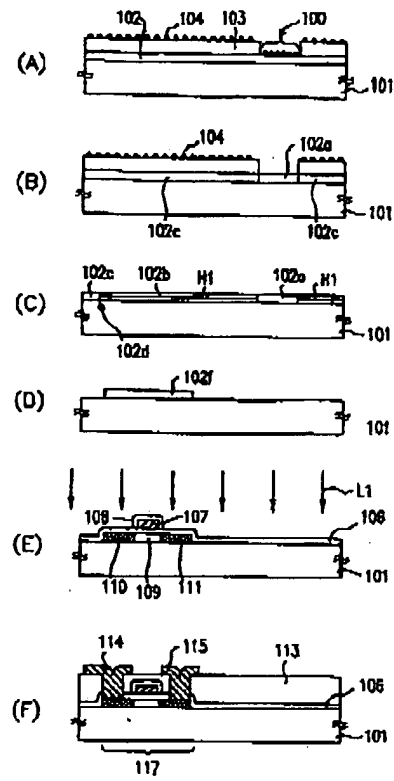
【図7】



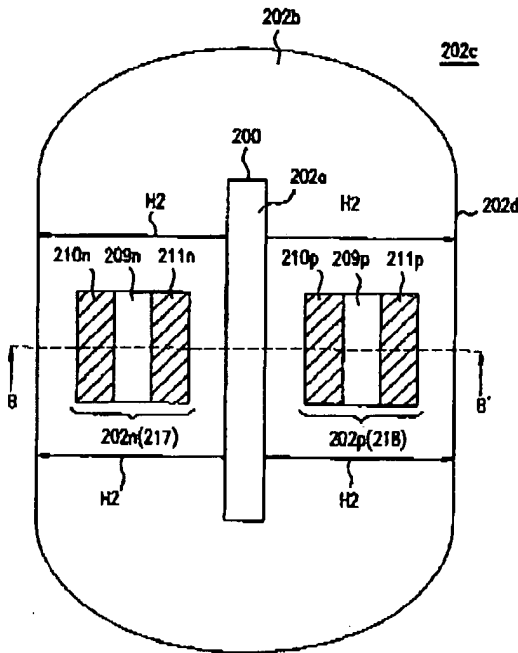
【図1】



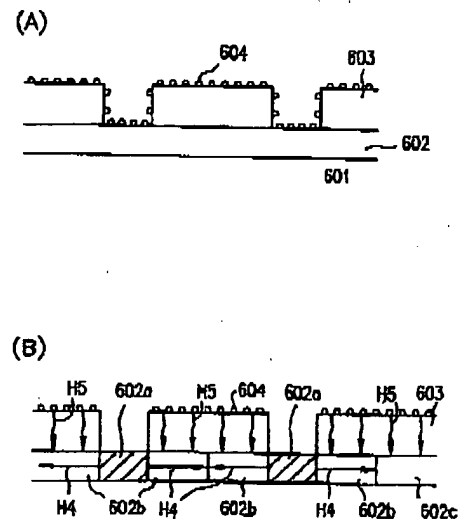
【図2】



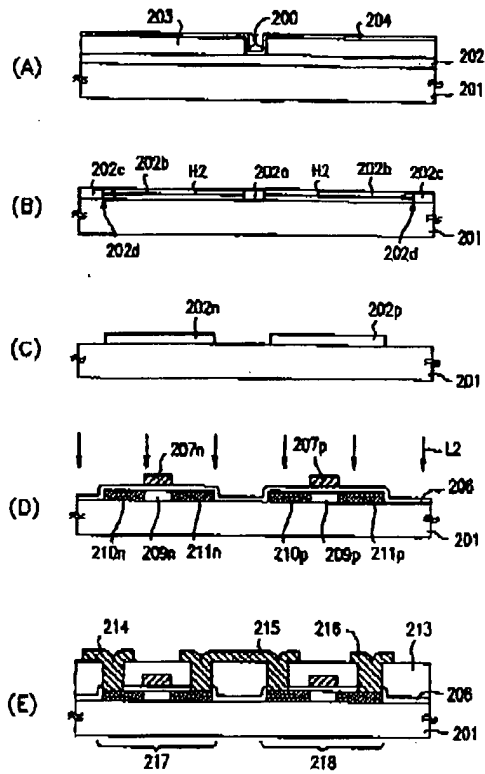
【図3】



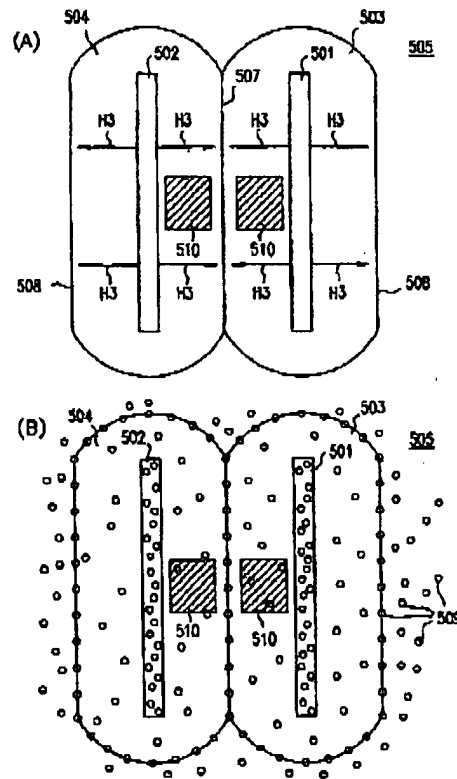
【図6】



【図4】



【図5】



フロントページの続き

(72)発明者 坂本 弘美  
 大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内

(72)発明者 渋谷 司  
 大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-186164

(43)Date of publication of application : 09.07.1999

---

(51)Int.Cl. H01L 21/20

H01L 29/786

H01L 21/336

---

(21)Application number : 09-351727 (71)Applicant : SHARP CORP

(22)Date of filing : 19.12.1997 (72)Inventor : MAKITA NAOKI

MORIGUCHI MASAO

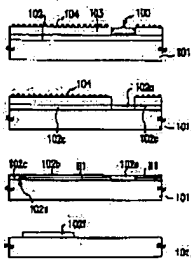
MOTOHASHI MUNETUKI

SAKAMOTO HIROMI

SHIBUYA TSUKASA

---

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To prevent generation of fine holes in a crystalline

silicon film, by laterally crystal-growing an amorphous silicon film from a region into which catalyst elements are introduced to its peripheral region by first heat treatment, eliminating a specified silicon film in which catalyst elements partially exist, and performing second heat treatment.

SOLUTION: Crystal growth is laterally performed from a peripheral region of a region 100 (102a) which is crystallized by first heat treatment, and a crystalline silicon film 102b which is laterally crystal-grown is formed. Nickel 104 partially exists in an interface 102d between the catalyst elements introduced region 102a (100), the crystalline silicon film 102b which is laterally crystal- grown and an amorphous silicon film region 102c. When a silicon film 102 of an unnecessary part is eliminated and element isolation is performed, nickel 104 is etched together with the silicon film 102, in the regions 102a and 102d in which a great deal of nickel 104 exists. Second heat treatment is performed, and crystallinity of a crystalline silicon film 102f is improved.

---

#### LEGAL STATUS

[Date of request for examination] 12.01.2001

[Date of sending the examiner's  
decision of rejection] 08.03.2004

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number] 3582766

[Date of registration] 06.08.2004

[Number of appeal against examiner's  
decision of rejection] 2004-06893

[Date of requesting appeal against] 06.04.2004

examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The 1st process which introduces alternatively the catalyst element which forms an amorphous silicon thin film on an insulating substrate, and promotes the crystallization on this amorphous silicon film, Perform 1st heat-treatment and this amorphous silicon film to the boundary region from the field where this catalyst element was introduced The manufacture approach of the semiconductor device which includes the 2nd process which makes crystal growth perform in a longitudinal direction, the 3rd process which removes the specific silicon film field as for which this catalyst element is carrying out localization, and the 4th process which raises the crystallinity of the crystalline silicon film field which performed 2nd heat-treatment and was left behind at this 3rd process.

[Claim 2] The manufacture approach of a semiconductor device according to claim 1 that said silicon film fields removed in said 3rd process are the field where said catalyst element was introduced at said 1st process, and the crystal growth boundary section formed of said crystal growth at said 2nd process at

least.

[Claim 3] The manufacture approach of a semiconductor device according to claim 1 or 2 that the silicon film field which it leaves in said 3rd process is a semiconductor device field.

[Claim 4] Said 3rd process is the manufacture approach of a semiconductor device according to claim 1 to 3 of removing the silicide compound of said catalyst element contained in the silicon film part which carries out by etching and corresponds by this etching, and its part, and this catalyst element.

[Claim 5] The process which introduces alternatively said catalyst element in said 1st process is the manufacture approach of the semiconductor device according to claim 1 to 4 performed by forming a mask in the location corresponding to the field which does not introduce said catalyst element in said amorphous silicon film.

[Claim 6] The process which introduces alternatively said catalyst element in said 1st process is the manufacture approach of the semiconductor device according to claim 1 to 4 performed by exfoliating this photoresist by using a photoresist as a mask after being the sputtering method or a vacuum deposition method and depositing said catalyst element on the front face of said amorphous silicon film in the shape of a thin film, and carrying out lift off of this catalyst element on this mask.

[Claim 7] The process which introduces alternatively said catalyst element in said 1st process is the manufacture approach of the semiconductor device according to claim 1 to 4 performed by carrying out pre annealing treatment by using the silicon oxide film or the silicon nitride film as a mask after making the front face of said amorphous silicon film apply and dry the solution which melted said catalyst element, and removing the mask of this silicon oxide film or this silicon nitride film.

[Claim 8] The manufacture approach of the semiconductor device according to claim 1 to 7 which makes temperature of said 2nd heat-treatment higher than the temperature of said 1st heat-treatment.

[Claim 9] Said 2nd heat-treatment is the manufacture approach of the

semiconductor device according to claim 1 to 8 performed under the oxidizing atmosphere containing a halogenide.

[Claim 10] The manufacture approach of the semiconductor device according to claim 1 to 9 which considers the direction which carries out crystal growth of said amorphous silicon film to the boundary region in said 2nd process from the field where said catalyst element was introduced, and the migration direction of the carrier in a semiconductor device as abbreviation parallel.

[Claim 11] The manufacture approach of the semiconductor device according to claim 1 to 10 using one kind or two or more kinds of elements in nickel, Co, Pd, Pt, Cu, Ag, Au, In, Sn, aluminum, and Sb as said catalyst element.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the semiconductor device which makes an active region the crystalline silicon film which crystallized the amorphous silicon film in detail about the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] In recent years, it is large-sized and the attempt which forms a highly efficient semiconductor device on insulating substrates, such as glass, and an insulator layer towards implementation of the contact type image sensor of high resolution, a three-dimensional IC, etc. at the liquid crystal display of high resolution and a high speed is made. It is common to use a thin film-like silicon semi-conductor to the semiconductor device used for these equipments. It is divided roughly into two although it consists of a silicon semi-conductor which has what consists of an amorphous silicon semi-conductor (a-Si), and crystallinity as a thin film-like silicon semi-conductor.

[0003] Most generally the amorphous silicon semi-conductor is used from production temperature being able to produce comparatively easily [ it is low and ] by the gaseous-phase method, and being rich in mass-production nature. However, since physical properties, such as conductivity, are inferior compared with the silicon semi-conductor which has crystallinity, in order to acquire high-speed property much more than future, establishment of the production approach of the semiconductor device which consists of a silicon semi-conductor which has crystallinity was called for strongly. In addition, the semi amorphous silicon which has the middle condition of polycrystal silicon, microcrystal silicon, the amorphous silicon containing a crystal component, crystallinity, and amorphous nature as a silicon semi-conductor which has crystallinity is known.

[0004] The following approaches are learned as a conventional method of obtaining the silicon semi-conductor of the shape of a thin film which has these crystallinity.

[0005] (1) Form directly the film which has crystallinity at the time of membrane formation.

[0006] (2) Form the amorphous semi-conductor film and make crystallinity have with laser luminous energy.

[0007] (3) Form the amorphous semi-conductor film and make crystallinity have by adding heat energy.

[0008] However, since crystallization advances to a membrane formation process and coincidence by the approach of (1), thick-film-izing of the silicon film is indispensable to obtain the crystalline silicon of the diameter of a large drop, and it is difficult technically to go on the whole surface across the film which has good semi-conductor physical properties on a substrate, and to form membranes to homogeneity.

[0009] Moreover, by the approach of (2), in order to use the crystallization phenomenon of a melting solidification process, a grain boundary is processed good with the diameter of a granule, the quality crystalline silicon film is obtained, but if the excimer laser currently present most generally used is taken for an example, the thing with still sufficient stability is not obtained. Therefore, it is difficult to process the whole surface of a large area substrate to homogeneity, and the further improvement in technical in a hard side is desired.

[0010] Moreover, the approach of (3) is advantageous in the homogeneity in a substrate, and stability as compared with the approach of (1) and (2), and is used for the micro highly minute liquid crystal panel which used the quartz substrate. However, after carrying out crystal growth by heat-treatment covering the long duration of about 30 hours at 600 degrees C in this case, heat treatment for raising crystallinity over several hours at an about elevated temperature, for example, 1000 degrees C, from dozens of minutes further is performed. That is, the processing time is long, there is a trouble that a throughput is low, and only the property of electric field effect mobility of 100cm<sup>2</sup>/Vs extent is acquired [ in / as a component property / TFT (thin film transistor) ].

[0011] To these approaches, the approach of the above (3) is improved and the method of obtaining the quality crystalline silicon film is proposed in the JP,7-94757,A official report and the JP,9-148245,A official report. By these approaches, low-temperature-izing of whenever [ stoving temperature ], compaction of the processing time, and crystalline improvement are aimed at by using the catalyst element which promotes crystallization of the amorphous silicon film.

[0012] A minute amount is made to introduce metallic elements, such as nickel and palladium, into the front face of the amorphous silicon film, and, specifically, it heats after an appropriate time. Crystalline-nucleus generating which used the metallic element as the nucleus first takes place at an early stage, that metallic element serves as a catalyst after that, and the mechanism of this low-temperature crystallization promotes crystal growth, and is understood because crystallization advances rapidly. These metallic elements are henceforth called a catalyst element in such semantics. The inside of one grain of the crystalline silicon film which crystallized the crystalline silicon film which crystallization was promoted with these catalyst elements and carried out crystal growth with the usual solid phase grown method also consists of many columnar crystal networks in the grain to being twin crystal structure, and each interior of a columnar crystal is in the almost ideal single crystal condition.

[0013] The above-mentioned official report is made to perform crystal growth in a longitudinal direction (direction parallel to a substrate) from the introductory field furthermore by extending heating time further by crystallizing only the field where the catalyst element was introduced alternatively, leaving other parts as a condition of the amorphous silicon film by introduced and heating a catalyst element alternatively on some amorphous silicon film. Inside the crystal growth field of this longitudinal direction, the columnar crystal with which the growth direction gathered in the about 1 direction has jostled, and crystallinity serves as a still better field compared with the field where the catalyst element was introduced directly and generating of a crystalline nucleus took place at random. Therefore, high performance-ization of a semiconductor device can be attained by using the crystalline silicon film of the crystal growth field of this longitudinal direction for the active region of a semiconductor device.

[0014] In the JP,7-94757,A official report, strong light, such as laser light, is irradiated to such quality crystalline silicon film into the ambient atmosphere which contains a chloride gas or a fluoride gas further, the crystallinity is raised further, and the high performance semiconductor device is produced. Moreover,



in the JP,9-148245,A official report, after performing 2nd heat-treatment further in an elevated temperature to the above-mentioned high quality crystallinity silicon film and raising the crystallinity further rather than crystallization annealing temperature on it, it uses as a semiconductor device field.

[0015]

[Problem(s) to be Solved by the Invention] However, the problem concerning [ the crystallization approach of the silicon film using the above-mentioned conventional catalyst element ] the membraneous quality and the impurity of the crystalline silicon film is left behind.

[0016] Although it is good, as for the crystallinity of the columnar crystal of each [ experiment / which this invention persons conducted about membraneous quality ], it turns out that the crystal defect (rearrangement) of high density is considerably included as the whole. Therefore, since the active region of a semiconductor device is about formed by one crystal orientation, while comparatively high mobility is obtained, since defect density is high, threshold voltage and leakage current bring a result which cannot fall easily.

[0017] When the N channel mold TFT is actually produced using the crystalline silicon film crystalized using the catalyst element, the thing of  $60\text{cm}^2/\text{Vs}$  -  $80\text{cm}^2/\text{Vs}$  extent is obtained with electric field effect mobility. However, although it is improving by about 2 times compared with the silicon film by the solid phase growth the conventional catalyst element is not used for whose value of this, considering the application to a thin film integrated circuit etc., it is not still sufficient value.

[0018] About an impurity, the catalyst element itself poses a problem. That is, although the above catalyst elements contribute to crystallization of the amorphous silicon film greatly, after that, they are mainly unevenly distributed in the grain boundary, and remain in the crystalline silicon film. That these catalyst element exists so much in the crystalline silicon film which constitutes the active region (semiconductor device field) of a semiconductor device does not check the dependability or electric stability of equipment which used these semi-

conductors, and it is not a natural desirable thing.

[0019] Especially the element that acts efficiently as a catalyst to which crystallization of amorphous silicon film, such as nickel and palladium, is urged forms impurity level near a band gap center into silicon. Therefore, if TFT is produced using the silicon film crystallized with these catalyst element, phenomena, such as increase of the leakage current at the time of TFT off actuation and a fall of dependability, will mainly appear as the effect. That is, although current drive capacity, such as a standup multiplier (S multiplier) of electric field effect mobility, the ON state current, and the ON state current, is raised in order that the above-mentioned catalyst element may raise the crystallinity of a channel field in the TFT component, an off property and dependability are worsened as the compensation.

[0020] The approach of solving these troubles is proposed in an aforementioned JP,7-94757,A official report and an aforementioned JP,9-148245,A official report.

[0021] To the crystalline silicon film crystallized using the catalyst element, by irradiating strong light, such as laser light, the crystallinity is raised further and solution of the problem that the above-mentioned membrane quality is not enough is aimed at in the JP,7-94757,A official report.

[0022] However, in such a case, the problem of the homogeneity which the laser annealing technique is holding conventionally, and stability will be added. That is, a result by which the good membrane homogeneity which is the merit of solid phase crystallization is spoiled cannot be brought, and the highly efficient target semiconductor device cannot be realized.

[0023] the inside of the ambient atmosphere which contains a chloride gas or a fluoride gas about the problem of a catalyst element -- a laser light exposure -- carrying out -- a catalyst element -- chloride-izing -- or it is supposed that it fluoride-izes and gettering removal will be carried out. However, as a result of this invention persons' actually experimenting by the same approach, in such momentary laser annealing, the gettering effectiveness was hardly acquired but it was checked that catalyst element concentration in the silicon film cannot be

reduced greatly.

[0024] The method of raising the crystallinity is indicated by heat-treating at still higher temperature to it after crystallization annealing which used the catalyst element for the JP,9-148245,A official report. It is checked that the very quality crystalline silicon film is obtained also from an experiment of this invention persons by this approach, and the overly high performance TFT component which actually exceeds electric field effect mobility of  $300\text{cm}^2/\text{Vs}$  by this approach is produced. Moreover, in addition to a crystal disposition top, the gettering removal of the catalyst element in the silicon film can be efficiently carried out by performing 2nd heat-treatment under oxidizing atmospheres, such as HCl. Therefore, this approach is very effective as the manufacture approach of highly efficient thin film semiconductor equipment.

[0025] However, when performing the mass-production prototype of TFT in this approach, a new problem occurred. A new problem is generating of the minute hole in the silicon film. In fact, as shown in the photograph of drawing 7 , a hole 509 occurs into the part whose silicon film is lost. At the beginning, although this invention persons expected beforehand that a hole 509 was generated on the silicon film when the catalyst element fell out as long as gettering of the catalyst element in the silicon film is carried out and control of the location of a hole 509 was tried, generating of a hole 509 was seen also in the unexpected field, i.e., a component formation field.

[0026] Here, the above-mentioned problem is explained in detail using drawing 5 . The outline top view after the 2nd heat-treatment which poses [ drawing 5 (A) ] a problem at drawing 5 (B) in the outline top view after the solid phase crystal growth by selection addition of a catalyst element is shown.

[0027] The introductory field of a catalyst element is shown by fields 501 and 502 in drawing 5 (A). The catalyst element by which selection installation was carried out crystallizes fields 501 and 502 to this field first, and causes crystal growth to it to that periphery. Consequently, crystal growth of fields 503 and 504 is performed. At this time, to being the crystal growth by the random karyogenesis

by the introduced catalyst element, crystal growth was performed in the direction of H3, and the growth direction is equal to \*\*\*\*\* in fields 503 and 504 in fields 501 and 502. The field 505 where crystal growth has not reached remains with the amorphous silicon condition.

[0028] It stands and moves to the boundary of the tip of crystal growth, i.e., a crystallization field, and an amorphous field on the mechanism of crystal growth, and the catalyst element crystallizes the amorphous silicon film of the point one after another. Therefore, as a location where a catalyst element is unevenly distributed, they are the grain boundary where crystal growth collided, and the tip of crystal growth. That is, in drawing 5 (A), karyogenesis happens at random and a catalyst element is unevenly distributed in the boundary 507 with the lateral crystal growth fields (horizontal growth field) 503 and 504, and a list in three fields of the boundary 508 of the horizontal growth fields 503 and 504 and the amorphous field 505 in the introductory field 501 of the catalyst element with which crystal grain has collided, and 502. Therefore, a semiconductor device field is formed by arrangement like a field 510, using the horizontal growth fields 503 and 504.

[0029] However, after the 2nd heat-treatment, as shown in drawing 5 (B), on the whole film surface, existence of the minute hole 509 was seen by the almost uniform consistency. That is, such a hole 509 had occurred also in the horizontal growth field 503 which should be used as a semiconductor device field 510, and 504, and the hole 509 occurred further also to the field 505 to which the crystal growth by the catalyst element has not reached. If a semiconductor device is produced with such a condition, a local very highly efficient semiconductor device is realizable, but when a hole 509 covers to a component field, a defect occurs in the component. Moreover, in a next etching process etc., such a hole 509 will produce the damage to a lower layer, and will cause the fall of dependability as a whole. Therefore, when this approach is used, the yield in a semiconductor device production process is very bad, and the application to the semiconductor device which has arranged hundreds of thousands of TFT(s) on a substrate like

the active-matrix substrate for liquid crystal displays is impossible absolutely.

[0030] This invention can solve the technical problem of such a conventional technique, can prevent re-diffusion of a catalyst element in the 2nd heat-treatment of the sake on a crystal disposition, and it is possible to solve the problem of a minute hole occurring in the crystalline silicon film, and it aims at offering the manufacture approach of the semiconductor device which can produce the semiconductor device which has high-reliability with high performance very much with the sufficient yield.

[0031]

[Means for Solving the Problem] The manufacture approach of the semiconductor device of this invention according to claim 1 The 1st process which introduces alternatively the catalyst element which forms an amorphous silicon thin film on an insulating substrate, and promotes the crystallization on this amorphous silicon film, Perform 1st heat-treatment and this amorphous silicon film to the boundary region from the field where this catalyst element was introduced The 2nd process which makes crystal growth perform in a longitudinal direction, and the 3rd process which removes the specific silicon film field as for which this catalyst element is carrying out localization, Perform 2nd heat-treatment, it comes to include the 4th process which raises the crystallinity of the crystalline silicon film field left behind at this 3rd process, and the above-mentioned purpose is attained by that.

[0032] At least, said silicon film field removed in said 3rd process constitutes the manufacture approach of the semiconductor device of this invention according to claim 2 so that it may be the field where said catalyst element was introduced at said 1st process, and the crystal growth boundary section formed of said crystal growth at said 2nd process.

[0033] The silicon film field which it leaves in said 3rd process constitutes the manufacture approach of the semiconductor device of this invention according to claim 3 so that it may be a semiconductor device field.

[0034] Etching performs the manufacture approach of the semiconductor device

of this invention according to claim 4, and it constitutes said 3rd process so that the silicide compound of said catalyst element contained in the silicon film part which corresponds by this etching, and its part, and this catalyst element may be removed.

[0035] The manufacture approach of the semiconductor device of this invention according to claim 5 is constituted so that it may carry out by forming a mask in the location corresponding to the field to which said catalyst element in said amorphous silicon film is not introduced in the process which introduces alternatively said catalyst element in said 1st process.

[0036] The manufacture approach of the semiconductor device of this invention according to claim 6 uses a photoresist as a mask for the process which introduces alternatively said catalyst element in said 1st process, and it is the sputtering method or a vacuum deposition method, after it deposits said catalyst element on the front face of said amorphous silicon film in the shape of a thin film, it exfoliates this photoresist, and it constitutes it so that it may carry out by carrying out lift off of this catalyst element on this mask.

[0037] The manufacture approach of the semiconductor device of this invention according to claim 7 uses the silicon oxide film or the silicon nitride film as a mask for the process which introduces alternatively said catalyst element in said 1st process, and after it makes the front face of said amorphous silicon film apply and dry the solution which melted said catalyst element, it carries out pre annealing treatment, and it constitutes it so that it may carry out by removing the mask of this silicon oxide film or this silicon nitride film.

[0038] The manufacture approach of the semiconductor device of this invention according to claim 8 is constituted so that temperature of said 2nd heat-treatment may be made higher than the temperature of said 1st heat-treatment.

[0039] The manufacture approach of the semiconductor device of this invention according to claim 9 is constituted so that said 2nd heat-treatment may be performed under the oxidizing atmosphere containing a halogenide.

[0040] The manufacture approach of the semiconductor device of this invention

according to claim 10 is considered as the configuration which considers the direction which carries out crystal growth of said amorphous silicon film to the boundary region from the field where said catalyst element was introduced, and the migration direction of the carrier in a semiconductor device as abbreviation parallel in said 2nd process.

[0041] As said catalyst element, the manufacture approach of the semiconductor device of this invention according to claim 11 is constituted so that one kind or two or more kinds of elements in nickel, Co, Pd, Pt, Cu, Ag, Au, In, Sn, aluminum, and Sb may be used.

[0042] Hereafter, the main point of this invention and an operation are explained.

[0043] It checked being generated about the above-mentioned technical problem by a catalyst element being unevenly distributed, and the catalyst element oxidizing alternatively, and etching the cause by which the above-mentioned minute hole produces this invention persons by experiment. The problem is that such a lot of catalyst elements exist that a hole is generated also in the horizontal growth fields 503 and 504 and the amorphous field 505 in drawing 5 . It was checked that this cause of main is re-diffusion of the catalyst element at the time of the 2nd heat-treatment.

[0044] Namely, although the catalyst element is unevenly distributed after crystallization annealing (1st heat-treatment) in drawing 5 (A) on the catalyst element installation fields 501 and 502 and the crystal growth boundaries 507 and 508 Re-diffusion of a catalyst element arises at the time of the 2nd heat-treatment for furthermore raising crystallinity, and a catalyst element comes to exist in this level also to the horizontal growth field 503 and the field 505 to which growth by the catalyst element has not attained to 504 lists. Consequently, a minute hole occurs also to the horizontal growth fields 503 and 504 which should perform component formation.

[0045] Therefore, after the main point of this invention carries out selection installation of the catalyst element and makes the 1st heat-treatment perform crystal growth in a longitudinal direction from a catalyst element installation field

to the boundary region at the amorphous silicon film formed on the insulating substrate, a catalyst element is in front of the 2nd heating down stream processing which raises the crystallinity of the silicon film to perform the process which removes the specific silicon film field which is carrying out localization. That is, before re-diffusion of the catalyst element by the 2nd heat-treatment is performed, while in other words the catalyst element is unevenly distributed, the maldistribution field of the catalyst element is removed. The main source of supply will be severed, and re-diffusion of the catalyst element which this produced in the 2nd heat-treatment can aim at solution of the above-mentioned problem, and is obtained by the yield with the expensive highly efficient semiconductor device made into the purpose.

[0046] Namely, in the manufacture approach of the semiconductor device of this invention, an amorphous silicon thin film is formed on an insulating substrate at the 1st process at least. Introduce into this amorphous silicon film alternatively the catalyst element which promotes that crystallization, perform 1st heat-treatment at the 2nd process, and the amorphous silicon film to and that boundary region from the field where the catalyst element was introduced He is trying to raise the crystallinity of the crystalline silicon film field which was made to perform crystal growth in a longitudinal direction, removed the silicon film of the specific field as for which the catalyst element is carrying out localization at the 3rd process, performed 2nd heat-treatment at the 4th process, and was left behind at the 3rd process.

[0047] The boundaries where the boundary and crystal growth of the catalyst element installation field where the maldistribution of a catalyst element is seen on the growth mechanism and after crystallization annealing, and the crystal growth boundary section, i.e., a crystallization field and a non-crystallized field, collided are the main fields, and, as for the silicon film of the field as for which the catalyst element said here is carrying out localization, it is desirable to remove these fields at least. Namely, when an introductory pattern like drawing 5 is made to perform crystal growth, three points, the catalyst element installation fields 501



and 502, the boundary 507 where lateral crystal growth collided, and the boundary 508 of the field and amorphous field which were crystallized by lateral crystal growth, should just be removed at least. And 2nd heat-treatment is performed after that.

[0048] It is desirable to carry out patterning so that the silicon film field which it leaves in the 3rd process of the above especially may turn into a semiconductor device field (active region of a semiconductor device). Thus, by removing the localization field of a catalyst element, it not only can perform process compaction, but all unnecessary fields are removed. For this reason, the diffusing capacity of the catalyst element to a semiconductor device field can be reduced further. Of course, a semiconductor device field is formed in the location shown in a field 510, using only the horizontal growth fields 503 and 504 in drawing 5 R> 5.

[0049] Here, catalyst elements also including the formation process of the above-mentioned semiconductor device field become important [ the etching nature of the target silicon film and catalyst element ] in the process which removes the silicon film of the field which is carrying out localization. That is, if it remains without etching a catalyst element even if the silicon film is removed, since a substrate front face will be re-diffused from there, the effectiveness of this invention will be spoiled. In addition, it also becomes the cause which causes an open circuit of the damage to a lower layer, the bus line formed on it, the fall of the dependability of a semiconductor device, etc. According to the place which this invention persons furthermore investigated, it turns out that many catalyst elements exist in the silicon film as a silicide compound. Therefore, it is most desirable to carry out to this silicon film and coincidence by etching from which the silicide compound of the above-mentioned catalyst element and a catalyst element is removed as the 3rd process which removes the specific silicon film field as for which the above-mentioned catalyst element in this invention is carrying out localization.

[0050] It is desirable for the above-mentioned catalyst element to carry out

etching removal, using the mixed liquor of a hydrofluoric acid and a nitric acid as a concrete method of removing the silicon film of the field which is carrying out localization. In addition to the silicon film, at this removal process, a catalyst element or its silicide compound also needs to be etched into coincidence as mentioned above. In the purpose, etching using the mixed liquor of a hydrofluoric acid and a nitric acid is the optimal, with the silicon film, a catalyst element is also etched into coincidence and the pure condition that there is no residue in a removal field is acquired.

[0051] In the dry etching by fluorocarbon gas, such as  $\text{CF}_4$  gas used for etching of the silicon film from the former although the dry etching by the plasma is effective when micro processing is desired, and oxygen system gas, although the silicon film is etched, a silicide compound will not be etched but the silicide compound by the catalyst element will remain in a substrate front face as residue. If these silicide compounds that remained on the substrate cause re-diffusion at the time of the 2nd heat-treatment, the effectiveness of this invention will be spoiled.

[0052] therefore, RIE (reactive ion etching) using [ in / in addition to the silicon film, also in dry etching, a catalyst element or its silicide compound has also been etched into coincidence by the need, and / the purpose ] chlorine-based gas, such as chlorine gas, and  $\text{BCl}_3$ ,  $\text{HCl}$ , -- law is very effective. By using such a RIE method, the pure condition that there is no residue in a removal field is acquired, and micro processing becomes possible.

[0053] Now, the cause of main of the minute hole seen after the 2nd heat-treatment is re-diffusion of the catalyst element at the time of the 2nd heat-treatment as mentioned above. however, the result to which this invention persons repeated experiment research further -- the above-mentioned cause -- in addition, it was checked that a catalyst element comes to exist in the longitudinal direction growth field (503 of drawing 5 , 504) of the silicon film with which a semiconductor device field is prepared, or the amorphous field (505 of drawing 5 ) to which growth by the catalyst element has not reached also by introductory

processing of a catalyst element.

[0054] That is, as a method of introducing the conventional catalyst element, as shown in drawing 6 (A), the catalyst element 604 was mainly introduced to the whole substrate surface by having used the silicon oxide film 603 as the mask film, and 1st heat-treatment for crystallization was performed after that. As for a substrate and 602, 601 shows the amorphous silicon film here. However, in such a conventional method, as shown in drawing 6 (B), while the introductory field 605 where a catalyst element touches is crystallized and crystal growth goes to a longitudinal direction H4 further in the case of the 1st heat-treatment, the catalyst element 604 which exists on the silicon oxide film 603 used as a mask diffused the silicon oxide film 603, as the arrow head of H5 showed, and has reached the lower layer silicon film 602.

[0055] Since it is very small, after lateral crystal growth is performed [ be / it / under / silicon film / comparing ], the catalyst element 604 arrives at the front face of horizontal growth field 602b, and if it is original, as for the diffusion coefficient of the catalyst element in the inside of the silicon oxide film, a catalyst element will exist in the field to which a catalyst element must not exist. A catalyst element comes to exist also in amorphous field 602c which crystal growth has not attained to for the same reason. In this case, after the 1st [ for crystallization ] heat-treatment, a catalyst element will already exist in amorphous field 602c which horizontal growth field 602b and growth have not attained to, and the effectiveness of this invention and effectiveness will be spoiled greatly.

[0056] therefore, in order to pull out the effectiveness of this invention to the maximum extent The 1st process which introduces a catalyst element into the amorphous silicon film alternatively with mask film, such as silicon oxide film, silicon nitride film, and a photoresist Carry out, after covering the amorphous silicon film of a part with which a catalyst element is not introduced, after installation of a catalyst element, after removing this mask film, perform 1st heat-treatment, and the above-mentioned amorphous silicon film to that boundary region from the field where the above-mentioned catalyst element was

introduced It is desirable to make crystal growth perform in a longitudinal direction. The catalyst element which exists on a mask is removed before the 1st [ for crystallization ] heat-treatment by this process, and a phenomenon which a catalyst element diffuses from on a mask is completely lost. Moreover, since the overall amount of catalyst elements on the substrate put into a heat treating furnace is greatly reduced as secondary effectiveness in the case of the 1st heat-treatment, contamination of the heat treating furnace by the catalyst element can be reduced.

[0057] It is desirable to be the sputtering method or vacuum evaporation technique, to deposit a catalyst element on the front face of the above-mentioned amorphous silicon film in the shape of a thin film, to exfoliate a photoresist mask, to carry out by carrying out lift off of the catalyst element on a mask by using a photoresist as a mask, as a selection installation process of the catalyst element to the concrete amorphous silicon film, and to perform 1st heat-treatment after that. Since the catalyst element formed in the shape of a thin film on the amorphous silicon film with the sputtering method or vacuum evaporation technique is not removed at the exfoliation process of a photoresist, it becomes possible [ making selection installation of a catalyst element perfect ] by this approach. Moreover, the need of forming mask film, such as silicon oxide film, is lost, and it becomes possible to aim at compaction of a process.

[0058] Moreover, after making a substrate front face apply and dry the solution which melted the catalyst element as the other approaches by using the silicon oxide film or the silicon nitride film as a mask, performing pre annealing treatment before the 1st heat-treatment after that and removing the mask of this silicon oxide film or the silicon nitride film, the method of performing 1st heat-treatment is also effective. By this approach, since the solution which melted the catalyst element is used, ultralow volume control of the amount of catalyst element installation on a substrate is attained by controlling the catalyst element concentration in a solution. However, the catalyst element applied on the silicon film will have association so weak that only rinsing is removed with the silicon film,

and will be inevitably removed by coincidence by removal of the mask film. So, by this approach, after making a substrate front face apply and dry a solution, in order to diffuse a catalyst element in the silicon film in an introductory field by performing pre annealing treatment, even if it removes the mask film after that, the catalyst element of an introductory field is not removed.

[0059] However, since a certain amount of elevated temperature is required, a simple photoresist mask cannot be used for this pre annealing treatment, but the mask by the silicon oxide film or the silicon nitride film is needed for it. Moreover, in pre annealing treatment, since it is meaningless if a catalyst element diffuses the inside of the silicon oxide film or the silicon nitride film and reaches the lower layer silicon film, it is necessary to carry out conditioning of the thickness of the mask film, or the conditions of pre annealing treatment so that a catalyst element may not reach the lower layer silicon film. By this approach, the problem which a minute hole generates at the time of the 2nd above-mentioned heat-treatment can be solved upwards, and minute amount control of a catalyst element is attained.

[0060] As for the solution which melted the catalyst element in the above-mentioned approach here, it is desirable to use alcoholic systems, such as ethanol and isopropyl alcohol (IPA), as a solvent, using the acetate or the nitrate of a catalyst element as a solute. The crystal growth stabilized on the whole substrate surface by using such a solution comes to be obtained. Moreover, the outstanding homogeneity within a field is acquired especially in large-sized substrates, such as liquid crystal. In addition, what is necessary is just to mix the alcohol of the main solvent, after melting acetate first with the water of pole small quantity when the acetate of the catalyst element to be used is insoluble to alcohol.

[0061] Furthermore, as for the process which makes a substrate front face apply and dry the solution which melted the above-mentioned catalyst element, it is desirable to carry out by spin spreading and spin desiccation which used the spin coater. According to this approach, a catalyst element can be added to

homogeneity on a substrate front face. In the experiment of this invention persons, as a result of performing spreading and desiccation of a solution by this approach on the glass substrate of 320mmx400mm size, it was actually checked that the surface concentration of a catalyst element is contained in less than about \*\*10% of distribution.

[0062] Moreover, as pre annealing treatment performed before the 1st heat-treatment, the catalyst element of an introductory field does not need to be removed in the removal process of the next mask film. Although hydrofluoric acid is generally used for removal of the silicon oxide film used as mask film, or the silicon nitride film, most catalyst elements will be removed by this etchant.

[0063] That is, in a catalyst element installation field, it is necessary to fully diffuse a catalyst element in the silicon film, and to specifically carry out crystal growth of a part of selection installation field [ at least ] of a catalyst element in the amorphous silicon film as pre annealing treatment in this invention performed before the 1st heat-treatment. Therefore, as for the pre annealing treatment performed before the 1st heat-treatment, it is desirable to carry out by whenever [ stoving temperature / which fulfills the above-mentioned conditions ], and, heating time. Then, by mask removal, a catalyst element is not removed by coincidence but sufficient crystal growth comes to be performed by the 1st heat-treatment.

[0064] Now, after the 1st heat-treatment, although this invention is characterized by performing 2nd heat-treatment, it needs to be temperature at least with the 2nd heat-treatment temperature higher than the 1st heat-treatment temperature as processing temperature of these heat-treatment. That is, by 1st heat-treatment, it aims at crystallization of the amorphous silicon film, and the so-called crystalline improvement processing for raising further the crystallinity of the silicon film crystallized by the 1st heat-treatment is performed by the 2nd heat-treatment.

[0065] In this purpose, it is necessary to perform 1st heat-treatment at low temperature comparatively. Because, since a crystalline nucleus occurs at

random on the whole substrate surface since the speed of crystallization is too quick when 1st heat-treatment is performed at an elevated temperature, and the crystal growth direction branches variously, stable crystal growth cannot be desired. And in order to improve further in quality the crystalline silicon film formed by the 1st heat-treatment as the 2nd heat-treatment, it is necessary to give the energy beyond the 1st heat-treatment at least, and, thereby, the crystal defect produced at the crystallization process of the 1st heat-treatment can be reduced greatly.

[0066] Temperature of the 1st heat-treatment is performed within the limits of 540 degrees C - 620 degrees C, and, as for the temperature of the 2nd heat-treatment, specifically, it is desirable to carry out within the limits of 800 degrees C - 1100 degrees C. If 1st heat-treatment is performed in such a temperature requirement, the spontaneous crystal growth by the catalyst element generated in addition to the introductory field of a catalyst element can be stopped, and the stable crystal growth will be obtained. Moreover, if 2nd heat-treatment is performed in the above-mentioned temperature requirement, while being able to reduce a crystal defect efficiently, each of the columnar crystal in the crystal growth field of the longitudinal direction which forms a semiconductor device field is made to recombine, and the high crystallinity silicon film which is equal to very quality single crystal silicon is obtained.

[0067] In addition, as for the pre annealing treatment in the approach of performing catalyst element addition by applying the above-mentioned catalyst element solution to a substrate front face performed before the 1st heat-treatment, it is desirable to carry out to within the limits with a temperature of 500 degrees C - 550 degrees C for 10 minutes to 30 minutes. By this pre annealing treatment, crystal growth of a part of selection installation field [ at least ] of a catalyst element can be carried out in the amorphous silicon film.

[0068] Here, as an ambient atmosphere of the 2nd heat-treatment, it is desirable to carry out under the oxidizing atmosphere containing a halogenide. By carrying out 2nd heat-treatment in such an ambient atmosphere, the concentration in the

film of the catalyst element used for crystal growth can be greatly reduced according to an impurity gettering operation of a halogenide. Moreover, the supersaturation Si atom produced by the oxidation can be supplied into the silicon film, and a crystal defect, especially a dangling bond (azygos joint hand) can be extinguished more efficiently.

[0069] Furthermore, it is desirable as an oxidizing atmosphere containing the halogenide in this 2nd heat-treatment to use especially HCl gas. A catalyst element can be made to be able to chloride-ize, it can be made to evaporate by using HCl gas, and it becomes possible to remove a catalyst element from the inside of the silicon film efficiently.

[0070] In this invention, in order to realize high mobility and a highly efficient semiconductor device more, it is desirable to consider the crystal growth direction of the silicon film by the catalyst element and the migration direction of the carrier in a semiconductor device as abbreviation parallel. Thereby, in the grain boundary which serves as a trap on the occasion of migration of a carrier, a theory top will not exist in the migration direction, and the semiconductor device which has high mobility more comes to be obtained. In fact, although the deflection of a certain amount of columnar crystal and branching have arisen in a lateral crystal growth field, the amounts of traps, such as the grain boundary to the migration direction of a carrier, decrease sharply certainly by making it such a configuration.

[0071] As a class of catalyst element which can be used for this invention, nickel, Co, Pd, Pt, Cu, Ag, Au, In, Sn, aluminum, and Sb can be used. If it is one kind or two or more kinds of elements chosen from these, there is effectiveness of crystallization promotion in a minute amount.

[0072] Also in them, when especially nickel is used, the most remarkable effectiveness can be acquired. The following models can be considered about this reason. If a catalyst element is independent, it does not act, but it acts on crystal growth by combining with the silicon film and silicide-izing. The crystal structure at that time is the model of acting like a kind of mold and urging



crystallization of the amorphous silicon film at the time of crystallization of the amorphous silicon film. nickel forms two silicide, Si and NiSi<sub>2</sub>. NiSi<sub>2</sub> shows the crystal structure of a fluorite mold, and the crystal structure is very similar with the diamond structure of single crystal silicon. And the lattice constant is 0.5406nm and NiSi<sub>2</sub> has a value very near the lattice constant of 0.5430nm in the diamond structure of crystal silicon. Therefore, NiSi<sub>2</sub> is the highest thing as mold for crystallizing the amorphous silicon film, and it is most desirable especially as a catalyst element in this invention to use nickel.

[0073]

[Embodiment of the Invention] The gestalt of operation of this invention is concretely explained based on a drawing below.

[0074] (Operation gestalt 1) Drawing 1 and drawing 2 express the operation gestalt 1 which shows the process which produces the N channel mold TFT (N type TFT) by this invention approach. Below, the making process is explained in order of advance of the process of (A) -> (F) of drawing 2 .

[0075] First, as shown in drawing 2 (A), after washing quartz-glass substrate 101 front face in about 1% of hydrofluoric acid, on a substrate 101, by the reduced pressure CVD method or the plasma-CVD method, 25nm - 100nm in thickness and the 50nm intrinsic (I-beam) amorphous silicon film (a-Si film) 102 are formed, and the insulating thin films 103, such as silicon oxide film or silicon nitride film, are further deposited on it. This insulating thin film 103 turns into mask film at the time of next catalyst element installation, used TEOS (Tetra Ethoxy Ortho Silicate) as the raw material in this operation gestalt 1 using the silicon oxide film, and decomposed and deposited it by RF plasma-CVD method with oxygen. If it is desirable that it is 50nm - 250nm as for the thickness of the mask silicon oxide film 103 and it is thinner than this, a catalyst element will be spread to a lower layer, and if thicker than this, crystal growth cannot be performed good. So, with this operation gestalt 1, thickness of this silicon oxide film 103 was set to 150nm.

[0076] Next, a mask is formed by carrying out patterning of this silicon oxide film 103. Here, the a-Si film 102 is exposed in the shape of a slit through the through

hole of a mask 103. Namely, if the condition of drawing 2 (A) is seen from a top face, as shown in drawing 1, it is exposed of the a-Si film 102 in the shape of a slit in the field 100 with the through hole, and other parts are in the condition that the mask is carried out.

[0077] After forming the above-mentioned mask 103, as further shown in drawing 2 (A), a substrate 101 is held so that the ethanol solution which melted nickel 104 may touch the field 100 which a-Si film 102 front face has exposed. It was made for the nickel concentration in an ethanol solution to be set to 10 ppm with this operation gestalt 1, using nickel acetate as a solute. Then, minute amount addition of the nickel 104 is carried out on the front face of the silicon oxide film 103 on a substrate 101, and the a-Si film 102 by extending a water solution to homogeneity on a substrate 101 by the spinner, and making it dry. It means that nickel 104 was alternatively introduced into the a-Si film 102 of a part exposed in the field 100 according to this process. And pre annealing treatment for 10 minutes - processing-time 30 minutes is performed for this under an inert atmosphere (for example, nitrogen-gas-atmosphere mind) by within the limits with a processing temperature of 500 degrees C - 550 degrees C. This operation gestalt 1 performed heat treatment for 20 minutes at 530 degrees C.

[0078] In this pre annealing treatment, as shown in drawing 2 (B), in a field 100, crystallization of the silicon film 102 takes place perpendicularly to a substrate 101 by using as a nucleus the nickel 104 added by the a-Si film front face, and crystalline silicon film 102a is formed. Moreover, crystal growth does not reach, but fields other than \*\*\*\* 100 remain as a-Si field 102c, while it has been an amorphous state. At this time, on the above-mentioned annealing conditions, the nickel 104 on the mask film 103 is obstructed by the mask film 103, and cannot reach the lower layer a-Si film 102.

[0079] Next, etching removal of the silicon oxide film 103 used as a mask is carried out. As etchant, wet etching performed using the lower layer silicon film 102 and 1:10 buffered fluoric acid (BHF) with selectivity of enough. Then, heat-treatment (1st heat-treatment) of dozens of hours is again performed from a

question several 00 at the temperature of 540 degrees C - 620 degrees C under an inert atmosphere (for example, nitrogen-gas-atmosphere mind) to a substrate 101. This operation gestalt 1 performed processing of 11 hours at 580 degrees C as an example.

[0080] In this heat-treatment, from the boundary region of the field 100 (102a) crystallized previously, in drawing 2 (C), as an arrow head H1 shows, crystal growth is performed in a longitudinal direction (direction parallel to a substrate) from a field 100, and crystalline silicon film 102b which carried out crystal growth to the longitudinal direction is formed. The other field of 102 remains as amorphous silicon film field 102c as it is. The nickel concentration in crystalline silicon film 102b which carried out crystal growth to this longitudinal direction was about three  $8 \times 10^{16}$  atoms/cm, and the nickel concentration in crystalline silicon film 102a in the field 100 which introduces and carried out crystal growth of the direct nickel which can also be said to be that seed field was about three  $1 \times 10^{18}$  atoms/cm.

[0081] In addition, the distance of the crystal growth of a direction parallel to the substrate shown by the arrow head H1 on the occasion of the above-mentioned crystal growth was about 130 micrometers. If this condition is seen from the substrate upper part, nickel 104 is carrying out localization to 102d of boundaries of catalyst element installation field 102a (100) in drawing 1, and crystalline silicon film field 102b and amorphous silicon film field 102c which carried out crystal growth to the longitudinal direction.

[0082] Next, as shown in drawing 2 (D), the silicon film 102 of an unnecessary part is removed and separation between components is performed. As etching at this time, the wet etching using the so-called 1:100 FUTSU nitric acid which mixed the hydrofluoric acid and the nitric acid to 1:100 performed. Since nickel 104 is etched with the silicon film by this etching processing also in the field (102a and 102d) to which nickel 104 exists so much, a beautiful substrate front face without an etch residue is obtained. That is, a lot of nickel 104 is already removed by this etching processing out of a substrate. And at the above process,

102f of crystalline silicon film of the shape of an island which becomes the source field of TFT, a drain field, and a channel field, i.e., an active region, is formed in behind, and the condition of drawing 2 (D) is acquired.

[0083] Next, in the state of drawing 2 (D), 2nd heat-treatment is performed and the crystallinity of 102f of crystalline island-like silicon film is raised. As the 2nd heat-treatment, heat-treatment of several hours is performed from dozens of minutes at the temperature of 800 degrees C - 1100 degrees C in the oxidizing atmosphere containing a halogenide. With this operation gestalt 1, using the mixed gas of HCl and oxygen, the flow rate of HCl was set to 3% of all quantities of gas flow, and the substrate temperature of 950 degrees C performed heat-treatment for 25 minutes. The front face of 102f of crystalline silicon film oxidizes to homogeneity according to this process, and the thickness of 102f of crystalline silicon film decreases to about 35nm. Moreover, while the crystallinity of 102f of crystalline silicon film improves sharply, the nickel which remained in the film is reduced. The nickel concentration in the silicon film after the 2nd heat-treatment was actually reduced to three or less  $5 \times 10^{15}$  atoms/cm. In 102f of crystalline silicon film of the shape of an island at this time, the minute hole which had become a problem conventionally is not generated at all.

[0084] Next, after carrying out etching removal of the scaling film of 102f of crystalline silicon film by 1:10BHF, as shown in drawing 2 (E), the 100nm silicon oxide film is formed as gate dielectric film 106 20nm - 150nm in thickness, and here so that 102f of crystalline silicon film used as the above-mentioned active region may be covered. TEOS was used as the raw material here, and within the limits with a substrate temperature of 150 degrees C - 600 degrees C, preferably, within the limits of 300 degrees C - 450 degrees C, it decomposed and deposited on formation of this silicon oxide film by RF plasma-CVD method, with oxygen. In addition, substrate temperature may be preferably formed within the limits of 350 degrees C - 600 degrees C with a reduced pressure CVD method or an ordinary pressure CVD method with ozone gas by using TEOS as a raw material as within the limits of 400 degrees C - 550 degrees C. After membrane formation, in order

to raise the interface property of the crystalline silicon film and gate dielectric film in the own bulk property list of gate dielectric film, annealing treatment within the limits for 30 minutes - processing-time 60 minutes was performed under the oxidizing gas ambient atmosphere by within the limits with a processing temperature of 800 degrees C - 1000 degrees C.

[0085] Next, 600nm aluminum is formed within the limits with a thickness of 400nm - 800nm by the sputtering method. And patterning of the aluminum film is carried out and the gate electrode 107 is formed. Furthermore, the front face of the electrode of this aluminum is anodized and an oxide layer 108 is formed in a front face. This condition is equivalent to drawing 2 (E). Anodization is performed in the ethylene glycol solution with which the tartaric acid was contained 1% to 5%, raises an electrical potential difference with a fixed current to 220V at first, and it is held for 1 hour and it is made to end it in the condition. The thickness of the obtained oxide layer 108 is 200nm. In addition, in a next ion doping process, since this oxide layer 108 serves as thickness which forms an offset gate field, it can determine the die length of an offset gate field at the above-mentioned anodic oxidation process.

[0086] Next, an impurity (Lynn) is poured into an active region by the ion doping method by using the oxide layer 108 of the gate electrode 107 and its perimeter as a mask. 80kV and a dose are set to  $2 \times 10^{15} \text{cm}^{-2}$  for acceleration voltage within the limits of  $1 \times 10^{15} \text{cm}^{-2}$  -  $8 \times 10^{15} \text{cm}^{-2}$  within the limits of 60kV - 90kV, using phosphoretted hydrogen ( $\text{PH}_3$ ) as doping gas. According to this process, the fields 110 and 111 where the impurity was poured in turn into a source field of TFT, and a drain field behind, respectively, and the field 109 where a mask is carried out to the gate electrode 107 and the oxidizing zone 108 of that perimeter, and an impurity is not poured in turns into a channel field of TFT behind. When this condition is seen from the substrate upper part, as shown in drawing 1, the migration direction of the carrier in TFT is the \*\*\*\* direction of source \*\*\*\* 110 and drain \*\*\*\* 111, and is a longitudinal direction in the drawing 1 space. On the other hand, the crystal growth direction of the silicon film which constitutes the channel

section 109 is the direction of H1, and it is arranged so that it may become almost parallel to the migration direction of a carrier. thus, the thing to arrange -- especially -- high -- mobility TFT is realizable.

[0087] Next, the crystallinity of the part into which crystallinity deteriorated at the above-mentioned impurity installation process is made to improve at the same time it activates the impurity which performed annealing treatment and carried out the ion implantation by the exposure of the laser light L1, as shown in drawing 2 (E). Under the present circumstances, it irradiated preferably within the limits of 200 mJ/cm<sup>2</sup> - 250 mJ/cm<sup>2</sup> within the limits of energy density 150 mJ/cm<sup>2</sup> - 400 mJ/cm<sup>2</sup>, using a XeCl excimer laser (wavelength of 308nm, 40ns of pulse width) as laser to be used. In this way, the sheet resistance of the formed N type impurity (Lynn) fields 110 and 111 was within the limits of 200ohm/\*\* - 800ohms / \*\*.

[0088] Next, the silicon oxide film or the silicon nitride film with a thickness of about 600nm is formed as an interlayer insulation film 113. If it forms by using TEOS as a raw material with the plasma-CVD method of this and oxygen, a reduced pressure CVD method with ozone, or an ordinary pressure CVD method in using the silicon oxide film, the good interlayer insulation film excellent in step coverage nature will be obtained. Moreover, if the silicon nitride film formed by the plasma-CVD method by making SiH<sub>4</sub> and NH<sub>3</sub> into material gas is used, a hydrogen atom is supplied to the interface of an active region and gate dielectric film, and it is effective in reducing the azygos joint hand of degrading a TFT property.

[0089] Next, a contact hole is formed in an interlayer insulation film 113, and the electrode and the wiring 114 and 115 of TFT are formed with a metallic material, for example, the bilayer film of titanium nitride and aluminum. The titanium nitride film is prepared as barrier film to prevent that aluminum is spread in a semiconductor layer. And finally, 350 degrees C and annealing treatment for 30 minutes are performed in the hydrogen ambient atmosphere of one atmospheric pressure, and TFT117 shown in drawing 2 (F) is completed. This annealing

treatment is performed in order to extinguish the crystal defect, especially azygos joint hand in the silicon film which remained to the last by terminating from hydrogen.

[0090] In using this TFT117 as a component which switches a pixel electrode, it connects an electrode 114 or 115 to the pixel electrode which consists of transference electric conduction film, such as ITO, and a signal is inputted from another electrode. Moreover, what is necessary is just to give wiring which forms and needs a contact hole also on the gate electrode 107, in using this TFT117 for a thin film integrated circuit. Moreover, what is necessary is just to prepare the protective coat which consists of silicon nitride film on TFT117 if needed.

[0091] As for N type TFT117 produced according to the above operation gestalt 1, electric field effect mobility showed [  $150\text{cm}^2/\text{Vs}$  -  $250\text{cm}^2/\text{Vs}$ , and threshold voltage ]  $1\text{V}$ - $1.5\text{V}$ , and a very highly efficient electrical property. Moreover, there is no minute hole in the active region generated conventionally, in the active-matrix substrate for liquid crystal displays which drives the pixel TFT of a number called especially hundreds of thousands, the pixel defect by the above-mentioned cause can be solved, and the liquid crystal display of high display grace is obtained very much with a high definition. Moreover, there is almost no damage to the substrate 101 under the introductory field 100 by nickel, the poor open circuit of a bus line was reduced as the result, and the manufacture yield improved. Moreover, also in the TFT property, the leakage current in the TFT off field in which especially a catalyst element poses a problem has been reduced even to  $2\text{pA}$  extent which does not pose a problem compared with the conventional  $10\text{pA}$ - $15\text{pA}$ .

[0092] In addition, this TFT can be used on the same substrate also as a component which constitutes CPU as well as the driver line and pixel part of a liquid crystal display of a active-matrix mold. Moreover, it cannot be overemphasized that it can use not only for a liquid crystal display but for the thin film integrated circuit generally said as this application range of TFT.

[0093] (Operation gestalt 2) Drawing 3 and drawing 4 express the operation

gestalt 2 which shows the process which produces the circuit of the CMOS structure which constituted N type TFT and P type TFT in the complementary type by this invention approach on a quartz-glass substrate. Below, the making process is explained in order of advance of the process of (A) -> (E) of drawing 4 .

[0094] First, as shown in drawing 4 (A), after washing quartz-glass substrate 201 front face in about 1% of hydrofluoric acid, the 50nm intrinsic (I-beam) amorphous silicon film (a-Si film) 202 is formed within the limits with a thickness of 25nm - 100nm by the reduced pressure CVD method or the plasma-CVD method on a substrate 201.

[0095] Next, a photopolymer (photoresist) is applied on the a-Si film 202, negatives are exposed and developed, and it considers as a mask 203. In a field 200, the a-Si film 202 is exposed in the shape of a slit by the through hole of the photoresist mask 203. Namely, if the condition of drawing 4 (A) is seen from a top face, as shown in drawing 3 , it is exposed of the a-Si film 202 in the field 200, and other parts are in the condition that the mask is carried out by the photoresist.

[0096] After forming the above-mentioned mask 203, as shown in drawing 4 (A), the thin film vacuum evaporation of the nickel 204 is carried out on substrate 201 front face. With this operation gestalt 2, distance between the vacuum evaporation source and a substrate was made larger than usual, and it controlled by reducing a vacuum evaporation rate so that the thickness of the thin film 204 of nickel was set to 1nm or less. When the surface density of the nickel 204 on the substrate 201 at this time was actually measured, it was about two  $2 \times 10^{13}$  atoms/cm.

[0097] Next, it means that lift off of the nickel thin film 204 on a mask 203 is carried out, and minute amount installation of nickel 204 was alternatively performed in the a-Si film 202 of a field 200 by removing the photoresist mask 203 as shown in drawing 4 (B). And under an inert atmosphere, for example, nitrogen-gas-atmosphere mind, whenever [ stoving temperature ], within the limits of 540 degrees C - 620 degrees C, annealing treatment of this is carried out for 11 hours, and it is crystallized at 580 degrees C.



[0098] Under the present circumstances, in a field 200, crystallization of the silicon film 202 takes place perpendicularly to a substrate 201 by using as a nucleus the nickel 204 added by a-Si film 202 front face, and crystalline silicon film 202a is formed.

[0099] Next, in the boundary region of a field 200, in drawing 4 (B), as an arrow head H2 shows, from a field 200, crystal growth is performed in a longitudinal direction (direction parallel to a substrate), and crystalline silicon film 202b which carried out longitudinal direction crystal growth is formed in it. The other field of 202 remains as amorphous silicon film field 202c as it is. The nickel concentration in crystalline silicon film 202b which carried out crystal growth to this longitudinal direction was about three  $1 \times 10^{17}$  atoms/cm, and the nickel concentration in crystalline silicon film 202a of the field 200 which adds and carried out crystal growth of the direct nickel was about three  $2 \times 10^{18}$  atoms/cm.

[0100] In addition, the distance of the crystal growth of a direction parallel to the substrate shown by the arrow head H2 on the occasion of the above-mentioned crystal growth is about 130 micrometers. If this condition is seen from the substrate upper part, localization of the nickel 204 is carried out to 202d of boundaries of catalyst element installation field 202a (200) in drawing 3, and crystalline silicon film field 202b and amorphous silicon film field 202c which carried out crystal growth to the longitudinal direction.

[0101] Next, as shown in drawing 4 (C), behind, it leaves the crystalline silicon film used as the active regions (semiconductor device field) 202n and 202P of TFT, etching removal of the other field is carried out, and separation between components is performed. It carried out by the RIE method by RF plasma using the mixed gas of BCl<sub>3</sub> and Cl<sub>2</sub> as etching at this time. As etching conditions, 15sccm(s) and Cl<sub>2</sub> flow rate were set to 70sccm(s) for BCl<sub>3</sub> flow rate, and it carried out by applying RF power of 1300W under reduced pressure of pressure 8mTorr extent.

[0102] By this etching processing, since nickel 204 is etched with the silicon film also in the field (202a and 202d) to which nickel 204 exists so much, while a

beautiful substrate front face without an etch residue is obtained, further micro processing can be performed compared with the case where wet etching is used. At the above process, the crystalline silicon film 202n and 202p of the shape of an island which becomes the source field of TFT, a drain field, and a channel field, i.e., an active region, is formed in behind, and the condition of drawing 4 (C) is acquired.

[0103] Next, in the state of drawing 4 (C), 2nd heat-treatment is performed and the crystallinity of the crystalline island-like silicon film 202n and 202P is raised. As the 2nd heat-treatment, heat-treatment of several hours is performed from dozens of minutes in the oxidizing atmosphere containing a halogenide by within the limits with a temperature of 800 degrees C - 1100 degrees C. With this operation gestalt 2, using the mixed gas of HCl and oxygen, the flow rate of HCl was set to 3% of all quantities of gas flow, and the substrate temperature of 950 degrees C performed heat-treatment for 25 minutes.

[0104] The front face of the silicon film 202n and 202p oxidizes to homogeneity according to this process, and the thickness of the crystalline silicon film 202n and 202p decreases to about 35nm. Moreover, while the crystallinity of the crystalline silicon film 202n and 202p improves sharply, the nickel which remained in the film is reduced. The nickel concentration in the silicon film after the 2nd heat-treatment was actually reduced to three or less  $5 \times 10^{15}$  atoms/cm. In the crystalline silicon film 202n and 202p of the shape of an island at this time, the minute hole which had become a problem conventionally is not generated at all.

[0105] Next, after carrying out etching removal of the scaling film of the crystalline island-like silicon film 202n and 202p by 1:10BHF, the silicon oxide film with a thickness of 100nm is formed as gate dielectric film 206 so that the crystalline silicon film 202n and 202p used as the above-mentioned active region may be covered. With this operation gestalt 2, TEOS was used as the raw material as the membrane formation approach of gate dielectric film 206, and in the substrate temperature of 350 degrees C, it decomposed by RF plasma-CVD

method, and deposited with oxygen.

[0106] Next, as shown in drawing 4 (D), by the sputtering method, 500nm aluminum (0.1% - 2% of silicon is included) is formed within the limits with a thickness of 400nm - 800nm, patterning of the aluminum film is carried out, and the gate electrodes 207n and 207p are formed.

[0107] Next, an impurity (Lynn and boron) is poured into active regions 202n and 202p by using the gate electrodes 207n and 207p as a mask by the ion doping method. Using phosphoretted hydrogen (PH<sub>3</sub>) and diboron hexahydride (B<sub>2</sub>H<sub>6</sub>) as doping gas, in the case of the former, within the limits of 60kV - 90kV, for example, the case of 80kV and the latter, sets acceleration voltage to 65kV within the limits of 40kV - 80kV, and a dose sets within the limits of  $1 \times 10^{15} \text{cm}^{-2}$  -  $8 \times 10^{15} \text{cm}^{-2}$ , for example, Lynn, to  $2 \times 10^{15} \text{cm}^{-2}$ , and it sets boron to  $5 \times 10^{15} \text{cm}^{-2}$ .

[0108] The field where a mask is carried out to the gate electrodes 207n and 207p by this process, and an impurity is not poured in according to it turns into the channel fields 209n and 209p of TFT behind. On the occasion of doping, when doping covers an unnecessary field by the photoresist, each element is doped alternatively. Consequently, the impurity ranges 210n and 211n of N type and the impurity ranges 210p and 211p of P type are formed, and as shown in drawing 3, N type TFT217 and P type TFT218 can be formed.

[0109] Next, as shown in drawing 4 (D), by the exposure of the laser light L2, annealing is performed and the impurity which carried out the ion implantation is activated. As exposure conditions for laser light, ten shots per place irradiated by energy density 250 mJ/cm<sup>2</sup>, using a XeCl excimer laser (wavelength of 308nm, 40ns of pulse width) as a laser light.

[0110] Next, as shown in drawing 4 (E), it forms by the plasma-CVD method by using the silicon oxide film with a thickness of 600nm as an interlayer insulation film 213, a contact hole is formed in this, and the electrode and the wiring 214, 215, and 216 of TFT are formed with a metallic material, for example, the bilayer film of titanium nitride and aluminum. And finally, 350 degrees C and annealing

treatment of 1 hour are performed under the hydrogen ambient atmosphere of one atmospheric pressure, and the CMOS circuit by N type TFT217 and P type TFT218 is completed.

[0111] In the CMOS structure circuit produced according to the above operation gestalt 2, each electric field effect mobility of TFT is [ in N type TFT ] as high as 150cm<sup>2</sup>/Vs - 200cm<sup>2</sup>/Vs at 200cm<sup>2</sup>/Vs - 300cm<sup>2</sup>/Vs, and P type TFT, and threshold voltage shows -2V--3V and a very good property with 0.5V-1V, and P type TFT with N type TFT. Furthermore, it compares with 5pA(s) with N type TFT, and the leakage current in a TFT OFF field is also compared with 3pA extent and a conventional method with P type TFT, and is suppressed by the low value. Moreover, there is no generating of the minute hole in the active region which poses a problem, and its manufacture yield improved greatly. Furthermore, since TFT size was set up by etching by the RIE method smaller than a conventional method, high integration became possible.

[0112] (Other operation gestalten) This invention is not limited to two above-mentioned operation gestalten, and various kinds of deformation based on the technical thought of this invention is possible for it.

[0113] For example, in the two above-mentioned operation gestalten, by the approach of applying the ethanol solution which was able to melt nickel salt for the amorphous silicon film front face as an approach of introducing nickel, or the approach of forming a nickel thin film with vacuum deposition, nickel minute amount addition was performed alternatively and the \*\*\*\*\* approach was adopted for crystal growth. However, it is good also as an approach of introducing nickel into a substrate film front face alternatively, diffusing nickel from the lower layer of the amorphous silicon film, and making crystal growth performing before membrane formation of the amorphous silicon film. That is, crystal growth may be performed from the top-face side of the amorphous silicon film, and may be performed from an inferior-surface-of-tongue side.

[0114] Moreover, technique various in addition to this also as the introductory approach of nickel can be used. For example, there is also an approach which

may use water simply and is diffused from SiO<sub>2</sub> film by using an SOG (spin-on glass) ingredient as a solvent which can melt nickel salt. Moreover, the approach of carrying out thin film formation with the sputtering method or plating, the approach of introducing directly by the ion doping method, etc. can be used.

[0115] Furthermore, as an impurity metallic element which promotes crystallization, even if it uses cobalt, palladium, platinum, copper, silver, gold, an indium, tin, aluminum, or antimony in addition to nickel, the same effectiveness is acquired.

[0116] Moreover, although 2nd heat-treatment was performed in the HCl ambient atmosphere, from a viewpoint on a crystal disposition, a dry oxygen ambient atmosphere and nitrogen-gas-atmosphere are also effective. Moreover, if the process into which a catalyst element etches the silicon film of the field included so much is the approach which it is effective, of course and nickel silicide can etch into coincidence especially with the silicon film also by approaches other than the two above-mentioned operation gestalten, it is satisfactory.

[0117] Furthermore, driver built-in the component write-in [ optical ] and display device which used the contact type image sensor, the driver built-in thermal head, the organic system EL, etc. as the light emitting device as application of this invention in addition to the active-matrix mold substrate for liquid crystal displays, a three-dimensional IC, etc. can be considered. By using this invention, high performance-ization of improvement in the speed of these components, high-resolution-izing, etc. is realized. Furthermore, this invention can apply broadly as the start the bipolar transistor and static induction transistor which made component material not only a MOS transistor but the crystalline semi-conductor explained with the above-mentioned operation gestalt to a semi-conductor process at large.

[0118] In addition, in the two above-mentioned operation gestalten, although quartz glass was used as an insulating substrate, this invention is not limited to

this, and as long as the whole substrate or whole substrate which has an insulating front face is an insulating thing, it may use anything.

[0119]

[Effect of the Invention] According to the above this invention, on the amorphous silicon film formed on the insulating substrate After carrying out selection installation of the catalyst element and making the 1st heat-treatment perform crystal growth in a longitudinal direction from a catalyst element installation field to the boundary region, Since the process which removes the specific silicon film field as for which the catalyst element is carrying out localization before the 2nd heating down stream processing which raises the crystallinity of a crystalline silicon film field is performed, re-diffusion of the catalyst element conventionally produced in the 2nd heat-treatment can be prevented.

[0120] For this reason, the problem that a minute hole occurs in the crystalline silicon film mentioned above etc. can be solved, and a very highly efficient thin film semiconductor component can be realized. And a high performance semiconductor device with a high degree of integration can be obtained in a simple manufacture process.

[0121] Moreover, in the production process, the rate of an excellent article can be improved greatly, and low cost-ization of goods can be attained. In the liquid crystal display which has a TFT component called especially hundreds of thousands, while being able to improve the rate of an excellent article by leaps and bounds, it can be satisfied with coincidence of improvement in the switching characteristic of pixel SWITCHINGU TFT required of a active-matrix substrate, high-performance-izing required of TFT which constitutes the circumference drive circuit section in a list, and high integration.

[0122] Therefore, on the same substrate, the driver monolithic mold active-matrix substrate which constitutes the active-matrix section and the circumference drive circuit section can be realized, and modular miniaturization, high-performance-izing, and low cost-ization can be attained.

[0123] Since the silicon film field which it leaves in the 3rd process is especially

made into the field where the catalyst element was introduced at the 1st process, and the crystal growth boundary section formed of crystal growth at the 2nd process at least according to the manufacture approach of a semiconductor device according to claim 2, the main maldistribution field of a catalyst element can be removed and re-diffusion of the catalyst element produced in the 2nd heat-treatment can be prevented.

[0124] Moreover, since all unnecessary fields are [ according to the manufacture approach of a semiconductor device according to claim 3 ] also especially removable in addition to the ability to perform process compaction since the silicon film field which it leaves in the 3rd process is made into a semiconductor device field, the diffusing capacity of the catalyst element to a semiconductor device field can be reduced further.

[0125] Moreover, the problem that a catalyst element remains and it is especially re-spread when the silicon film is removed since the silicide compound of the catalyst element contained in the silicon film part which performs said 3rd process by etching and corresponds by this etching, and its part, and a catalyst element is removed collectively according to the manufacture approach of a semiconductor device according to claim 4 is solvable.

[0126] If this etching is especially performed using the mixed liquor of a hydrofluoric acid and a nitric acid, with the silicon film, a catalyst element can also be etched into coincidence and the clean-surface condition which does not have residue in a removal field can be acquired. Moreover, if dry etching is performed by the RIE [ etching / this ] method using chlorine gas or chlorine-based gas, it is effective, when the clean-surface condition which does not have residue in a removal field can be acquired and micro processing is carried out.

[0127] Moreover, since it carries out especially by forming a mask in the location corresponding to the field which does not introduce a catalyst element [ in / for the process which introduces the catalyst element in the 1st process alternatively / the amorphous silicon film ] according to the manufacture approach of a semiconductor device according to claim 5 The catalyst element which exists on

a mask can be removed before the 1st [ for crystallization ] heat-treatment, and generating of a phenomenon which a catalyst element diffuses from on a mask can be prevented. Moreover, since the overall amount of catalyst elements on the substrate put into a heat treating furnace can be greatly reduced in the case of the 1st heat-treatment, contamination of the heat treating furnace by the catalyst element can be reduced.

[0128] Moreover, since it carries out especially by using a photoresist as a mask for the process which introduces the catalyst element in the 1st process alternatively, exfoliating this photoresist after depositing a catalyst element on the front face of the amorphous silicon film in the shape of a thin film with the sputtering method or a vacuum deposition method, and carrying out lift off of the catalyst element on a mask according to the manufacture approach of a semiconductor device according to claim 6, selection installation of a catalyst element can be made perfect. Moreover, the need of forming mask film, such as silicon oxide film, can be lost, and compaction of a process can also be aimed at.

[0129] Moreover, according to the manufacture approach of a semiconductor device according to claim 7, the silicon oxide film or the silicon nitride film is especially used as a mask for the process which introduces the catalyst element in the 1st process alternatively. Since it carries out by carrying out pre annealing treatment and removing the mask of the silicon oxide film or the silicon nitride film after making the front face of the amorphous silicon film apply and dry the solution which melted the catalyst element By controlling the catalyst element concentration in the solution which melted the catalyst element, ultralow volume control of the amount of catalyst element installation on a substrate can be carried out. Moreover, the problem that a catalyst element is removed by coincidence by mask removal is solvable.

[0130] If an alcoholic system is especially used as a solvent of a solution, using the acetate or the nitrate of a catalyst element as a solute of this solution, the crystal growth stabilized on the whole substrate surface is obtained, and the outstanding homogeneity within a field can be acquired in large-sized substrates,



such as liquid crystal. Moreover, if the process which applies this solution to the front face of the amorphous silicon film, and is dried is performed by spin spreading and spin desiccation using a spin coater, a catalyst element can be added to homogeneity on a substrate front face.

[0131] Moreover, a part of field [ at least ] where the catalyst element was alternatively introduced in the amorphous silicon film in this pre annealing treatment If it carries out within the limits of 10 minutes - processing-time 30 minutes, since it can limit to a desired field and a catalyst element can be added in within the limits with a heating condition [ of fulfilling the conditions to which crystal growth is carried out ] of 500 degrees C - 550 degrees C, for example, processing temperature The selection installation field of the catalyst element in the amorphous silicon film can be limited further, and can carry out crystal growth.

[0132] Moreover, since temperature of the 2nd heat-treatment is especially made higher than the temperature of the 1st heat-treatment according to the manufacture approach of a semiconductor device according to claim 8 In the 1st heat-treatment, the crystalline silicon film can be formed with the stable crystal growth, by 2nd heat-treatment, the crystal defect produced at the crystallization process of the 1st heat-treatment can be reduced greatly, and the crystalline silicon film formed by the 1st heat-treatment can be improved further in quality.

[0133] If temperature of this 1st heat-treatment is made into within the limits of 540 degrees C - 620 degrees C and temperature of the 2nd heat-treatment is especially made into within the limits of 800 degrees C - 1100 degrees C, in the 1st heat-treatment, the spontaneous crystal growth by the catalyst element generated in addition to the introductory field of a catalyst element can be stopped, and the stable crystal growth will be obtained. Moreover, in the 2nd heat-treatment, while being able to reduce a crystal defect efficiently, each of the columnar crystal in the crystal growth field of the longitudinal direction which forms a semiconductor device field can be made to be able to recombine, and the high crystallinity silicon film which is equal to very quality single crystal silicon can be obtained.

[0134] Moreover, since 2nd heat-treatment is especially performed under the oxidizing atmosphere containing a halogenide according to the manufacture approach of a semiconductor device according to claim 9, the concentration in the film of the catalyst element used for crystal growth can be greatly reduced according to an impurity gettering operation of a halogenide. Moreover, the supersaturation Si atom produced by the oxidation can be supplied into the silicon film, and a crystal defect, especially a dangling bond (azygos joint hand) can be extinguished more efficiently. If HCl gas is especially used as a halogenide, a catalyst element can be made to be able to chloride-ize, it can be made to be able to evaporate, and a catalyst element can be efficiently removed from the inside of the silicon film.

[0135] Moreover, according to the manufacture approach of a semiconductor device according to claim 10, it sets at the 2nd process especially. Since the direction which carries out crystal growth of the amorphous silicon film to the boundary region from the field where the catalyst element was introduced, and the migration direction of the carrier in a semiconductor device are considered as abbreviation parallel A theory top will not exist in the migration direction, and the grain boundary which serves as a trap on the occasion of migration of a carrier can obtain the semiconductor device which has high mobility more.

[0136] Moreover, especially, since one kind or two or more kinds of elements in nickel, Co, Pd, Pt, Cu, Ag, Au, In, Sn, aluminum, and Sb are used as a catalyst element according to the manufacture approach of a semiconductor device according to claim 11, the effectiveness of crystallization promotion is done so in a minute amount.

[0137] Especially, as this catalyst element, if nickel is used at least, nickel will combine with the silicon film, will serve as silicide  $\text{NiSi}_2$ , and will act on crystal growth, but in order that that crystal structure may act like a kind of mold at the time of crystallization of the amorphous silicon film, much more effectiveness of urging crystallization of the amorphous silicon film is done so.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing the making process of the operation gestalt 1 of this invention.

[Drawing 2] It is a sectional view in the A-A' cross section of drawing 1 which shows the making process of the operation gestalt 1 of this invention.

[Drawing 3] It is the top view showing the making process of the operation gestalt 2 of this invention.

[Drawing 4] It is a sectional view in the B-B' cross section of drawing 3 which shows the making process of the operation gestalt 2 of this invention.

[Drawing 5] In the conventional example, it is drawing showing signs that a minute hole occurs on the silicon film by re-diffusion of the catalyst element in the 2nd heat-treatment, and the top view after the 2nd heat-treatment is shown for the top view after the solid phase crystal growth by selection addition of a catalyst element in (A) at (B).

[Drawing 6] In the conventional example, it is drawing showing the situation of diffusion of the catalyst element in the 1st heat-treatment.

[Drawing 7] In the conventional example, it is a photograph showing the condition that the minute hole occurred on the silicon film front face by re-diffusion of the

catalyst element in the 2nd heat-treatment.

[Description of Notations]

101 201 Quartz-glass substrate

102 202 Silicon film

103 203 Mask film

104 204 Catalyst element

106 206 Gate dielectric film

107 207 Gate electrode

108 Anodic Oxidation Layer

109 209 Channel field

110 210 Source field

111 211 Drain field

113 213 Interlayer insulation film

114, 115, 214, 215, 216 An electrode and wiring

117 217 N channel mold TFT

218 P Channel Mold TFT

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

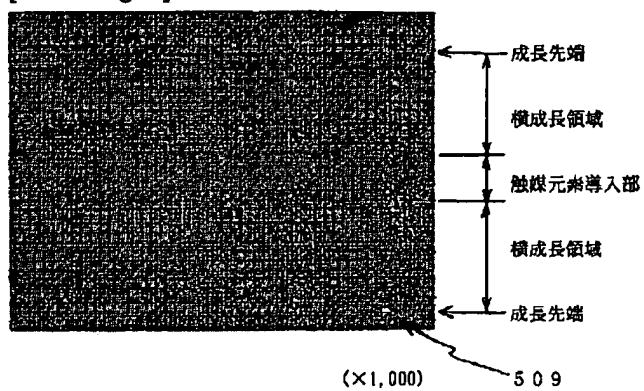
3.In the drawings, any words are not translated.

---

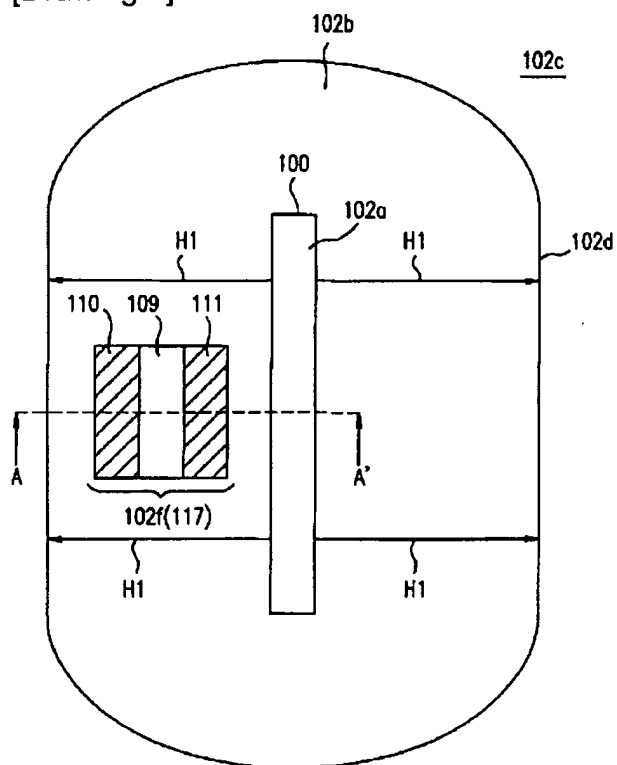
**DRAWINGS**

---

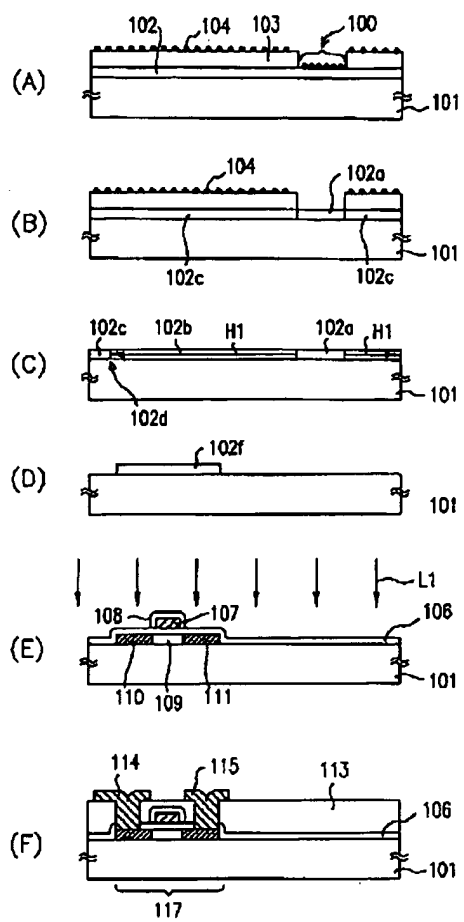
[Drawing 7]



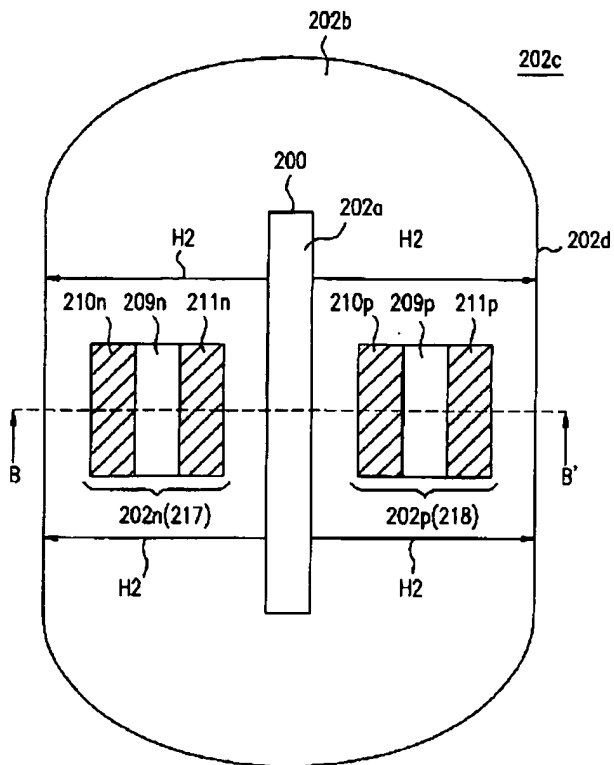
[Drawing 1]



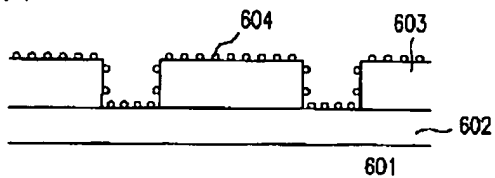
[Drawing 2]



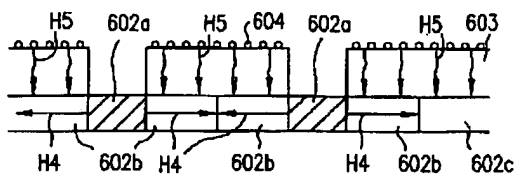
[Drawing 3]



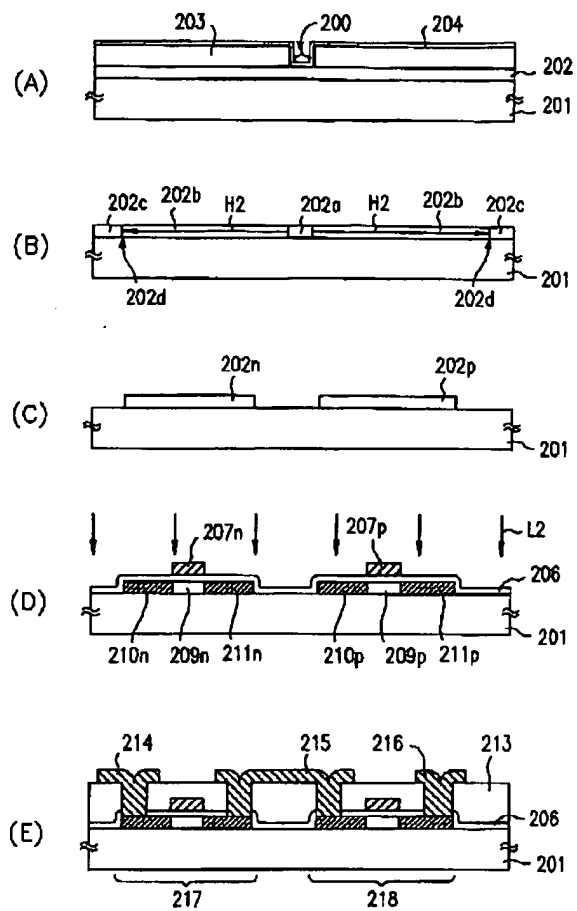
[Drawing 6]  
(A)



(B)

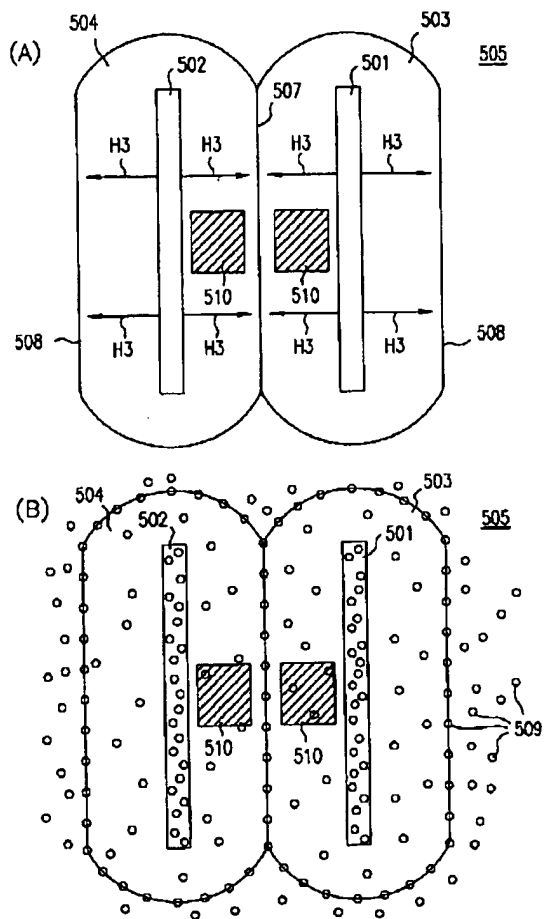


[Drawing 4]



[Drawing 5]





---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**